

SEMICONDUCTOR MEMORY DEVICE

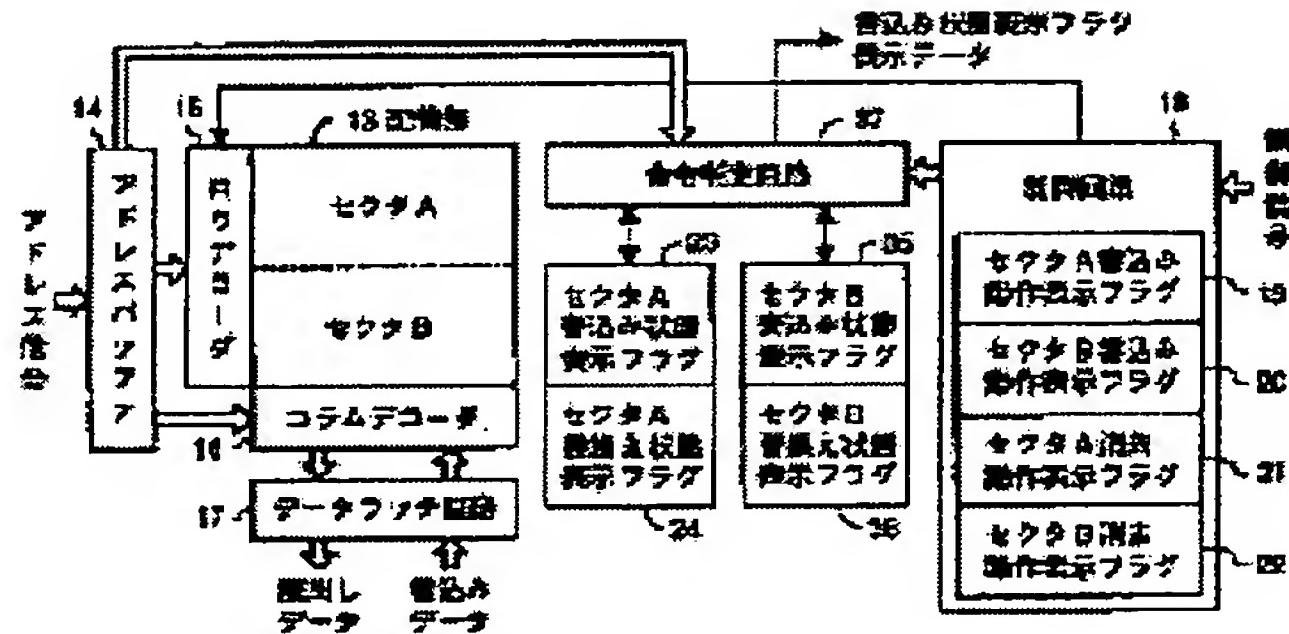
Patent number: JP10116493
Publication date: 1998-05-06
Inventor: IKUTA NOBUO
Applicant: FUJITSU LTD
Classification:
 - international: **G06F12/14; G11C16/02; G06F12/14; G11C16/02;**
 (IPC1-7): G11C16/02; G06F12/14
 - european:
Application number: JP19960268054 19961009
Priority number(s): JP19960268054 19961009

[Report a data error here](#)

Abstract of JP10116493

PROBLEM TO BE SOLVED: To make it possible to confirm whether a rewrite inhibiting operation is present or not, and to make clear the countermeasure to a fault and responsibility for troubles of rewrite in the non-volatile memory region of a semiconductor memory device by providing a means which in a nonvolatile manner records that a rewrite operation of data has been carried out.

SOLUTION: In the case where sector A is not used yet, the displayed content of sector-A-rewrite-condition displaying flag = '0'. When the sector A is written with data, the above content becomes '1', but when the data of the sector A is rewritten, it becomes '0'. When a virgin sector A is written with any software as rewrite-inhibited fixed data and supplied to a user, it is possible to judge whether the data has been rewritten or not.



Data supplied from the [esp@cenet](#) database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-116493

(43) 公開日 平成10年(1998)5月6日

(51) Int. Cl.⁶
G11C 16/02
G06F 12/14

識別記号
310

F I
G11C 17/00
G06F 12/14

601 B
310 Z

審査請求 未請求 請求項の数 6 O L (全24頁)

(21) 出願番号 特願平8-268054

(22) 出願日 平成8年(1996)10月9日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 生田 信雄

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 平戸 哲夫

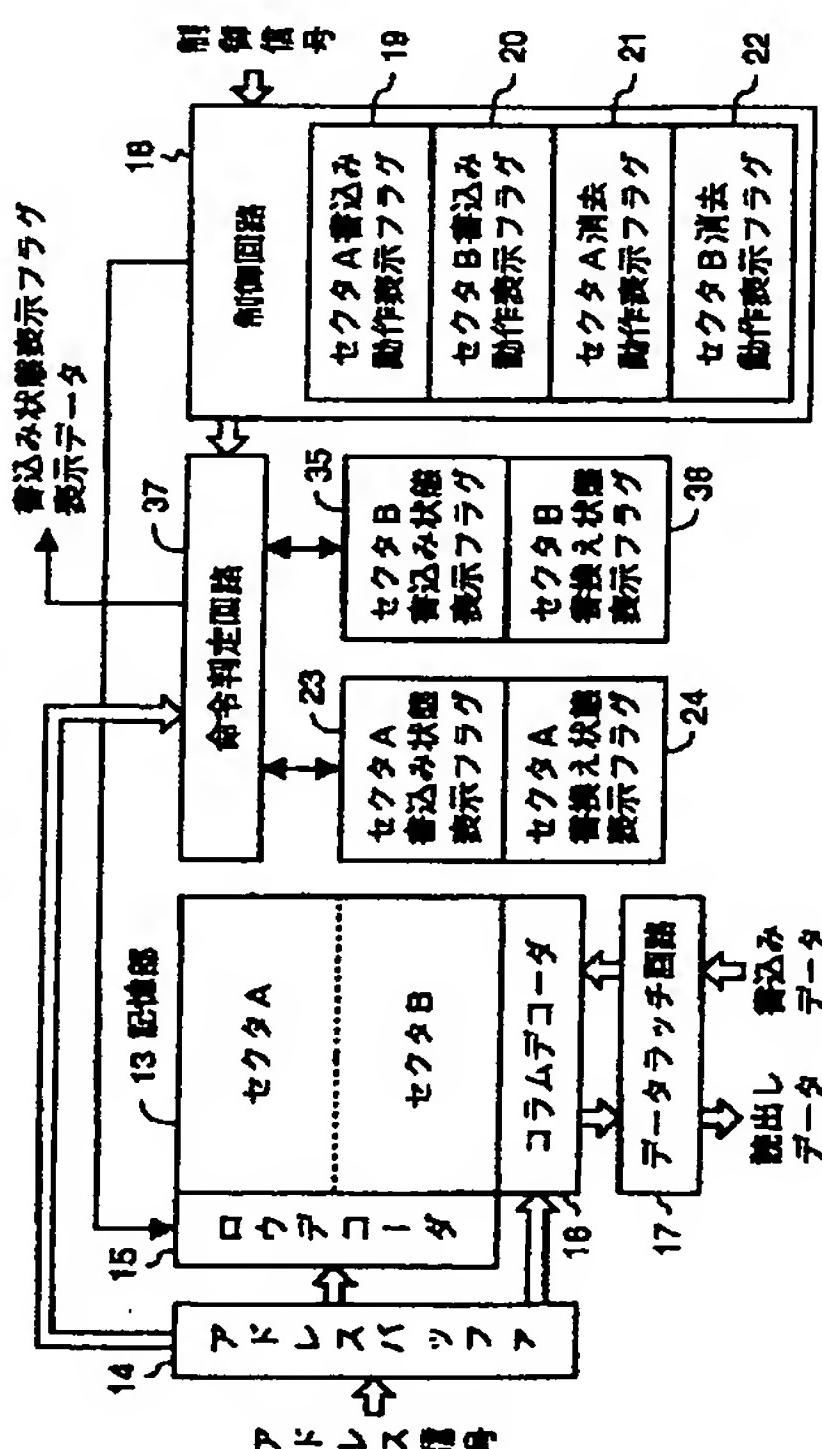
(54) 【発明の名称】半導体記憶装置

(57) 【要約】 (修正有)

【課題】電気的書換え可能な不揮発性記憶領域を有する半導体記憶装置、例えばフラッシュ・メモリにおいて、書換えを禁止した固定データが書換えられているか否かを確認できるようにし、利便性を高める。不揮発性記憶領域に対し、書換えが行われると、不揮発的に記録する手段を有する。

【解決手段】セクタAが未使用の場合には「0」を表示し、その後、セクタAに書き込みを行うと「1」を表示し、その後、セクタAに対して消去動作が行われると「0」を表示するセクタA書き換え状態表示フラグ24を設ける。

本発明の実施の形態の第1形態の要部を示すブロック図



【特許請求の範囲】

【請求項1】電気的書換え可能な不揮発性記憶領域を有する半導体記憶装置において、前記不揮発性記憶領域に対してデータの書換え動作が行われたことを不揮発的に記録する書換え動作記録手段を備えていることを特徴とする半導体記憶装置。

【請求項2】前記書換え動作記録手段は、書換え不可能とされ、前記不揮発性記憶領域に対してデータの書換えが行われると、書き込みが行われる不揮発性記憶素子を備えて構成されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】前記書換え動作記録手段は、書換え可能とされ、かつ、存在又は消去方法を非公開とされ、前記不揮発性記憶領域に対してデータの書換え動作が行われると、書き込みが行われる不揮発性記憶素子を備えて構成されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項4】前記書換え動作記録手段は、書換え不可能とされ、前記不揮発性記憶領域に対してデータの書換え動作が行われることに、1個ずつ書き込みが行われる複数の不揮発性記憶素子を備えて構成されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項5】前記書換え動作記録手段は、書換え可能とされ、かつ、存在又は消去方法を非公開とされ、前記不揮発性記憶領域に対してデータの書換え動作が行われることに、1個ずつ書き込みが行われる複数の不揮発性記憶素子を備えて構成されていることを特徴とする請求項1記載の半導体記憶装置。

【請求項6】前記不揮発性記憶領域にデータが記憶されている場合において、前記不揮発性記憶領域に対して書換え動作が行われようとした場合、前記不揮発性記憶領域にデータが記憶されていることを示す警告データを出力する警告手段を備えていることを特徴とする請求項1、2、3、4又は5記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フラッシュ・メモリ等のように電気的書換え可能な不揮発性記憶領域を有する半導体記憶装置に関する。

【0002】

【従来の技術】図37は、従来のフラッシュ・メモリの一例の要部を示すブロック図である。図37中、1はメモリセルが配列されてなる記憶部であり、この例では、記憶部1は、一括消去の単位とされる独立した記憶領域であるセクタA及びセクタBに分割されている。

【0003】また、2はアドレス信号を取り込むアドレスバッファ、3はロウアドレス信号をデコードしてワード線の選択を行うロウデコーダ、4はコラムアドレス信号をデコードしてピット線の選択を行うコラムデコーダである。

【0004】また、5は記憶部1から読み出されたデータのラッチ及び記憶部1に書き込むべきデータをラッチするデータラッチ回路、6は書き込み信号等の制御信号が入力される制御回路である。

【0005】また、制御回路6において、7はセクタAに対して書き込み動作を実行中か否かを表示するセクタA書き込み動作表示フラグであり、セクタAに対して書き込み動作を実行中の場合には、「1」が表示され、それ以外の場合には、「0」が表示される。

【0006】また、8はセクタBに対して書き込み動作を実行中か否かを表示するセクタB書き込み動作表示フラグであり、セクタBに対して書き込み動作を実行中の場合には、「1」が表示され、それ以外の場合には、「0」が表示される。

【0007】また、9はセクタAに対して消去動作を実行中か否かを表示するセクタA消去動作表示フラグであり、セクタBに対して消去動作を実行中の場合には、「1」が表示され、それ以外の場合には「0」が表示される。

【0008】また、10はセクタBに対して消去動作を実行中か否かを表示するセクタB消去動作表示フラグであり、セクタBに対して消去動作を実行中の場合には、「1」が表示され、それ以外の場合には、「0」が表示される。

【0009】また、11はアドレス信号入力端子や制御信号入力端子を介して外部から与えられた命令を判定する命令判定回路である。

【0010】

【発明が解決しようとする課題】このように構成されたフラッシュ・メモリの中には、出荷時点において、正当な者以外の者による書き換えが禁止された何らかのソフトがセクタA又はセクタBに固定データとして書き込まれているものが販売されている。

【0011】このようなフラッシュ・メモリの使用者が、書き換えを禁止されているソフトを改造したり、他のマシンに搭載されているフラッシュ・メモリに許可なくコピーして使用した場合において、障害の発生を理由に、ソフト改造品又はコピー品が製造者に持ち込まれる場合がある。

【0012】この場合、固定データ領域の内容に変化があることは検出することができるが、使用者により書き換えの事実が提示されない限り、この記憶内容の変化は、異常によりデータ化けを生じた結果と判断せざるを得ず、製造者が責任を取ることになる。

【0013】例えば、固定データの中に、行き先を100(2進数)番地とするジャンプ命令がある場合において、この100(2進数)番地が110(2進数)番地に書き換えられた場合、固定データの記憶内容は、1ビットが「0」から「1」に変わるものである。

【0014】しかし、これが原因で障害が発生した場

合、書き換えた1ビットは検出することができるが、使用者により書き換えたことが提示されない限り、書き換えた1ビットを記憶したメモリセルが異常でデータ化けを生じたと判断せざるを得ず、製造者が責任を取らざるを得ない。

【0015】そこで、障害を発生したフラッシュ・メモリが製造者に持ち込まれた場合、製造者において、書換えを禁止しているソフトが書き換えられていることを確認することができれば、障害に対する即座の対応や、責任の所在を容易に証明することができ、便利である。

【0016】また、書換えを禁止しているソフトを新バージョンに書換える場合において、バージョンアップ以前のソフトが書換えられている場合には、バージョンアップ後、正常に動作しない場合があるので、バージョンアップを行わない処置が必要である。

【0017】本発明は、かかる点に鑑み、電気的書換え可能な不揮発性記憶領域を有する半導体記憶装置であつて、書換えを禁止した固定データが書換えられているか否かを判断できるようにし、利便性を高めた半導体記憶装置を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明中、第1の発明（請求項1記載の半導体記憶装置）は、電気的書換え可能な不揮発性記憶領域を有する半導体記憶装置において、不揮発性記憶領域に対してデータの書換え動作が行われたことを不揮発的に記録する書換え動作記録手段を備えているというものである。

【0019】この第1の発明によれば、例えば、製造者が不揮発性記憶領域に書換えを禁止した固定データを書き込んで第1の発明を使用者に供給した場合において、使用者が不揮発性記憶領域に対して書換え動作を行った場合には、この事実は、書換え動作記録手段に記録されることになる。

【0020】したがって、障害の発生を理由に、第1の発明が製造者に持ち込まれた場合、製造者は、書換えを禁止した固定データの書換えの有無を確認することができるので、障害に対する即座の対応や、責任の所在を容易に証明することができる。

【0021】また、この第1の発明によれば、正当な者が書換えを禁止している固定データを新バージョンに書換えようとする場合、書換えを禁止している固定データが書換えられているか否かを判断することができる。バージョンアップの可否を判断することができる。

【0022】本発明中、第2の発明（請求項2記載の半導体記憶装置）は、第1の発明において、書換え動作記録手段は、書換え不可能とされ、不揮発性記憶領域に対してデータの書換え動作が行われると、書き込みが行われる不揮発性記憶素子を備えて構成されるというものである。

【0023】本発明中、第3の発明（請求項3記載の半

導体記憶装置）は、第1の発明において、書換え動作記録手段は、書換え可能とされ、かつ、存在又は消去方法を非公開とされ、不揮発性記憶領域に対してデータの書換え動作が行われると、書き込みが行われる不揮発性記憶素子を備えているというものである。

【0024】この第3の発明によれば、書換え記録手段の初期化を行うことができるので、複数回のバージョンアップが行われる場合においても、正当な者以外の者による書換えを禁止している書換えの有無を確認することができる。

【0025】本発明中、第4の発明（請求項4記載の半導体記憶装置）は、第1の発明において、書換え動作記録手段は、書換え不可能とされ、不揮発性記憶領域に対してデータの書換え動作が行われるごとに、1個ずつ書き込みが行われる複数の不揮発性記憶素子を備えているというものである。

【0026】この第4の発明によれば、書換えを禁止している固定データの書換えの回数を知ることができるので、複数回のバージョンアップが行われる場合においても、正当な者以外の者による書換えを禁止している書換えの有無を確認することができる。

【0027】本発明中、第5の発明（請求項5記載の半導体記憶装置）は、第1の発明において、書換え動作記録手段は、書換え可能とされ、かつ、存在又は消去方法を非公開とされ、不揮発性記憶領域に対してデータの書換え動作が行われるごとに、1個ずつ書き込みが行われる複数の不揮発性記憶素子を備えているというものである。

【0028】この第5の発明によれば、書換えを禁止している固定データの書換えの回数を知ることができ、かつ、書換え記録手段の初期化を行うことができるので、複数回のバージョンアップが行われる場合においても、正当な者以外の者による書換えを禁止している固定データの書換えの有無を確認することができる。

【0029】本発明中、第6の発明（請求項6記載の半導体記憶装置）は、第1、第2、第3、第4又は第5の発明において、不揮発性記憶領域にデータが記憶されている場合において、不揮発性記憶領域に対して書き込み動作が行われようとした場合、不揮発性記憶領域にデータが記憶されていることを示す警告データを出力する警告手段を備えているというものである。

【0030】この第6の発明によれば、不揮発性記憶領域にデータが記憶されている場合において、使用者がデータの書き込みを行おうとした場合に、警告することができると共に、正当な者以外の者による書換えを禁止している固定データの書換えの有無を確認することができる。

【0031】

【発明の実施の形態】以下、図1～図36を参照して、本発明の実施の第1形態～第4形態について、本発明を

フラッシュ・メモリに適用した場合について説明する。

【0032】第1形態・・図1～図7

図1は本発明の実施の第1形態の要部を示すブロック図であり、図1中、13はメモリセルが配列されてなる記憶部であり、この例では、記憶部13は、一括消去の単位とされる独立した記憶領域であるセクタA及びセクタBに分割されている。

【0033】また、14はアドレス信号を取り込むアドレスバッファ、15はロウアドレス信号をデコードしてワード線の選択を行うロウデコーダ、16はコラムアドレス信号をデコードしてビット線の選択を行うコラムデコーダである。

【0034】また、17は記憶部13から読み出されたデータのラッチ及び記憶部13に書き込むべきデータをラッチするデータラッチ回路、18は書き込み信号等の制御信号が入力される制御回路である。

【0035】また、制御回路18において、19はセクタAに対して書き込み動作を実行中か否かを表示するセクタA書き込み動作表示フラグであり、セクタAに対して書き込み動作を実行中の場合には「1」が表示され、それ以外の場合には「0」が表示される。

【0036】また、20はセクタBに対して書き込み動作を実行中か否かを表示するセクタB書き込み動作表示フラグであり、セクタBに対して書き込み動作を実行中の場合には「1」が表示され、それ以外の場合には「0」が表示される。

【0037】また、21はセクタAに対して消去動作を実行中か否かを表示するセクタA消去動作表示フラグであり、セクタBに対して消去動作を実行中の場合には「1」が表示され、それ以外の場合には「0」が表示される。

【0038】また、22はセクタBに対して消去動作を実行中か否かを表示するセクタB消去動作表示フラグであり、セクタBに対して消去動作を実行中の場合には「1」が表示され、それ以外の場合には「0」が表示される。

【0039】また、23はセクタAにデータが書き込まれているか否かを表示するセクタA書き込み状態表示フラグであり、セクタAにデータが書き込まれていない場合及びセクタAにデータを書き込む場合には「0」、セクタAにデータが書き込まれている場合には「1」が表示される。

【0040】また、24はセクタAに対する書換え動作が行われたか否かを表示する書換え動作記録手段をなすセクタA書換え状態表示フラグであり、セクタAが未使用とされている場合には「0」を表示し、その後、セクタAに書き込みを行うと「1」を表示し、その後、セクタAに対して消去動作が行われると「0」を表示するものである。

【0041】図2はセクタA書き換え状態表示フラグ24

の構成を示す回路図である。図2中、26はセクタAに対する書き込み時及び消去時には電源電圧VCCを昇圧してなる高電圧VPPを供給し、それ以外の場合には電源電圧VCCを供給する電源線である。

【0042】また、27は制御信号SWRにより導通（以下、ONという）、非導通（以下、OFFという）が制御されるnMOSトランジスタであり、制御信号SWRはセクタAに対する書き込みが行われる場合及びセクタA書き換え状態表示フラグ24の表示内容を出力させる場合には電源電圧VCCとされ、それ以外の場合には接地電圧VSSとされる。

【0043】また、28は制御信号SERによりON、OFFが制御されるnMOSトランジスタであり、制御信号SERは、セクタAに対して消去動作が行われる場合及びセクタA書き換え状態表示フラグ24の表示内容を出力させる場合には電源電圧VCCとされ、それ以外の場合には接地電圧VSSとされる。

【0044】また、29はノードN1に高電圧VPPが印加された場合に切断するように構成されたヒューズ、30はノードN2に高電圧VPPが印加された場合に切断するように構成されたヒューズ、31、32は高抵抗値の抵抗、33はノードN1、N2の論理値をEOR（排他的論理和）処理するEOR回路である。

【0045】また、図1において、35はセクタBにデータが書き込まれているか否かを表示するセクタB書き込み状態表示フラグであり、セクタBにデータが書き込まれていない場合及びセクタBにデータを書き込む場合には「0」、セクタBにデータが書き込まれている場合には「1」が表示される。

【0046】また、36はセクタBに対する書き換え動作が行われたか否かを表示するセクタB書き換え状態表示フラグであり、セクタBが未使用とされている場合には「0」を表示し、その後、セクタBに書き込みを行うと「1」を表示し、その後、セクタBに対して消去動作が行われると「0」を表示するものである。なお、セクタA書き換え状態表示フラグ24と同一の構成とされている。

【0047】また、37はアドレス信号入力端子及び制御信号入力端子を介して外部から与えられた命令を判定する命令判定回路である。

【0048】また、この命令判定回路37は、データの書き込み時、セクタAが選択された場合には、書き込み状態表示フラグ表示データとして、セクタA書き込み状態表示フラグ23の表示内容を出力し、セクタBが選択された場合には、セクタB書き込み状態表示フラグ35の表示内容を出力するように構成されている。

【0049】このように構成された本発明の実施の第1形態においては、製造後、セクタAが未使用の場合は、セクタA書き換え状態表示フラグ24においては、図3に示すように、電源線26の電圧=VCC、制御信号

SWR=VCC、制御信号SER=VCCとされる。

【0050】この結果、nMOSトランジスタ27=ON、nMOSトランジスタ28=ONとなり、ノードN1の論理値='0'、ノードN2の論理値='0'、EOR回路33の出力論理値='0'となる。

【0051】その後、例えば、セクタAにデータが書き込まれると、セクタA書き込み状態表示フラグ23の表示内容は'1'とされると共に、セクタA書き換え状態表示フラグ24においては、図4に示すように、電源線26の電圧=VPP、制御信号SWR=VCC、制御信号SER=VSSとされる。

【0052】この結果、nMOSトランジスタ27=ON、nMOSトランジスタ28=OFFとなり、ヒューズ29に高電圧VPPが印加され、ヒューズ29が切断される。

【0053】ここに、セクタAに対する書き込みが終了した時点では、図5に示すように、電源線26の電圧=VCC、制御信号SWR=VCC、制御信号SER=VC Cとなる。

【0054】この結果、nMOSトランジスタ27=ON、nMOSトランジスタ28=ONとなり、ノードN1の論理値='1'、ノードN2の論理値='0'、EOR回路33の出力='1'となる。

【0055】その後、セクタAの内容を書き換えようとする場合には、消去信号を入力して、セクタA消去動作表示フラグ21に'1'を表示し、セクタA書き込み状態表示フラグ23の表示内容を確認することになる。

【0056】この場合、セクタA書き込み状態表示フラグ23の表示内容は'1'とされているので、命令判定回路37を介して、書き込み状態表示フラグ表示データとして、セクタA書き込み状態表示フラグ23の表示内容

'1'が出力され、セクタAは使用されている旨の警告が行われるが、それでも尚、書き換え動作を続行する場合には、セクタA書き込み状態表示フラグ23の表示内容は'0'とされる。

【0057】また、この場合、セクタA書き換え状態表示フラグ24においては、図6に示すように、電源線26の電圧=VPP、制御信号SWR=VSS、制御信号SER=VCCとされる。

【0058】この結果、nMOSトランジスタ27=OFF、nMOSトランジスタ28=ONとなり、ヒューズ30に高電圧VPPが印加され、ヒューズ30が切断される。

【0059】ここに、セクタAに対する消去動作が終了した時点では、図7に示すように、電源線26の電圧=VCC、制御信号SWR=VCC、制御信号SER=VCCとされる。

【0060】この結果、nMOSトランジスタ27=ON、nMOSトランジスタ28=ONとなり、ノードN1の論理値='1'、ノードN2の論理値='1'、E

OR回路33の出力論理値='0'となる。

【0061】そして、セクタAに対する書き込みが行われ、セクタAに対する書き換え動作が終了すると、セクタA書き込み状態表示フラグ23の表示内容='1'とされる。

【0062】このように、本発明の実施の第1形態においては、製造後、セクタAが未使用の場合には、セクタA書き換え状態表示フラグ24の表示内容='0'となるが(図3参照)、その後、セクタAに対してデータの書き込みが行われると、セクタA書き換え状態表示フラグ24の表示内容='1'となり(図5参照)、その後、セクタAに対してデータの書き換え動作が行われると、セクタA書き換え状態表示フラグ24の表示内容='0'となる(図7参照)。

【0063】そこで、本発明の実施の第1形態の製造者が、本発明の実施の第1形態の製造後、未使用のセクタAに何らかのソフトを、書き換えを禁止した固定データとして書き込んで使用者に供給した場合において、障害を理由に、本発明の実施の第1形態が製造者に持ち込まれた場合、製造者は、セクタA書き換え状態表示フラグ24の表示内容を確認することにより、セクタAに書き込んだ固定データが書き換えられているか否かを判断することができる。

【0064】即ち、セクタA書き換え状態表示フラグ24の表示内容='1'の場合には、セクタAに書き込んだ固定データは書き換えられておらず、セクタA書き換え状態表示フラグ24の表示内容='0'の場合には、セクタAに書き込んだ固定データは書き換えられたと判断することができる。

【0065】なお、セクタBに固定データを書き込んだ場合には、セクタB書き換え状態表示フラグ36の表示内容を確認することにより、セクタBに書き込んだ固定データが書き換えられているか否かを判断することができる。

【0066】したがって、本発明の実施の第1形態によれば、障害を理由に、本発明の実施の第1形態が製造者に持ち込まれた場合、製造者は、障害に対して即座に対応することができると共に、障害の原因が固定データの書き換えにある場合には、責任の所在の証明を容易に行うことができる。

【0067】また、本発明の実施の第1形態によれば、正当な者が書き換えを禁止している固定データを新バージョンに書き換える場合、書き換えを禁止している固定データが書き換えられているか否かを判断することができる。バージョンアップの可否を判断することができる。

【0068】第2形態・・図8～図14

図8は本発明の実施の第2形態の要部を示すブロック図である。本発明の実施の第2形態は、図1に示す本発明の実施の第1形態が備えるセクタA書き換え状態表示フラグ24及びセクタB書き換え状態表示フラグ36と回路構

成の異なるセクタA書換え状態表示フラグ39及びセクタB書換え状態表示フラグ40を設けると共に、制御回路18は、セクタA書換え状態表示フラグ39及びセクタB書換え状態表示フラグ40を後述のように制御できるように構成し、その他については、本発明の実施の第1形態と同様に構成したものである。

【0069】図9はセクタA書換え状態表示フラグ39の構成を示す回路図であり、セクタB書換え状態表示フラグ40も、同様に構成されている。

【0070】図9中、42、43はドレイン及びコントロールゲートを電源電圧VCCとされると読み出し状態、ドレイン及びコントロールゲートを高電圧VPPとされると書き込みが行われるEEPROMセルである。

【0071】また、44はセクタAに対して書き込みが行われる場合には高電圧VPPを供給し、それ以外の場合には電源電圧VCCを供給する電源線、45はセクタAに対して消去動作が行われる場合には高電圧VPPを供給し、それ以外の場合には電源電圧VCCを供給する電源線である。

【0072】また、46はノードN3、N4の論理値をAND処理してセクタA書換え状態表示フラグ39の表示内容を出力するAND回路である。

【0073】このように構成された本発明の実施の第2形態においては、製造後、セクタAが未使用の場合には、セクタA書換え状態表示フラグ39においては、図10に示すように、電源線44の電圧=VCC、電源線45の電圧=VCCとされる。

【0074】この結果、EEPROMセル42=ON、EEPROMセル43=ON、ノードN3の論理値=「0」、ノードN4の論理値=「0」となり、AND回路46の出力論理値=「0」となる。

【0075】その後、例えば、セクタAにデータを書き込むと、セクタA書き込み状態表示フラグ23の表示内容は「1」となると共に、セクタA書換え状態表示フラグ39においては、図11に示すように、電源線44の電圧=VPP、電源線45の電圧=VCCとされ、EEPROMセル42に対する書き込みが行われる。

【0076】ここに、セクタAに対する書き込み動作が終了した時点では、図12に示すように、電源線44の電圧=VCC、電源線45の電圧=VCCとされる。

【0077】この結果、EEPROMセル42=OFF、EEPROMセル43=ONとなり、ノードN3の論理値=「1」、ノードN4の論理値=「0」、AND回路46の出力論理値=「0」となる。

【0078】その後、セクタAの内容を書換えようとする場合には、消去信号を入力して、セクタA消去動作表示フラグ21に「1」を表示し、セクタA書き込み状態表示フラグ23の内容を確認することになる。

【0079】この場合、セクタA書き込み状態表示フラグ23の表示内容は「1」とされているので、命令判定回

路37を介して、書き込み状態表示フラグ表示データとして、セクタA書き込み状態表示フラグ23の表示内容「1」が出力され、セクタAは使用されている旨の警告が行われるが、それでも尚、書き換え動作が続行される場合には、セクタA書き込み状態表示フラグ23の表示内容は「0」とされる。

【0080】また、この場合、セクタA書き込み状態表示フラグ39においては、図13に示すように、電源線44の電圧=VCC、電源線45の電圧=VPPとされ、EEPROMセル43に対する書き込みが行われる。

【0081】ここに、セクタAに対する消去動作が終了した時点では、図14に示すように、電源線44の電圧=VCC、電源線45の電圧=VCCとされる。

【0082】この結果、EEPROMセル42=OFF、EEPROMセル43=OFFとなり、ノードN3の論理値=「1」、ノードN4の論理値=「1」、AND回路46の出力論理値=「1」となる。

【0083】そして、セクタAに対する書き込みが行われ、セクタAに対する書き換え動作が終了すると、セクタA書き込み状態表示フラグ23の表示内容=「1」とされる。

【0084】このように、本発明の実施の第2形態においては、製造後、セクタAが未使用の場合には、セクタA書き込み状態表示フラグ39の表示内容=「0」となるが(図10参照)、その後、セクタAに対してデータの書き込みが行われると、セクタA書き込み状態表示フラグ39の表示内容=「0」が維持され(図12参照)、その後、セクタAに対してデータの書き換え動作が行われると、セクタA書き込み状態表示フラグ39の表示内容=「1」となる(図14参照)。

【0085】そこで、本発明の実施の第2形態の製造者が、本発明の実施の第2形態の製造後、未使用のセクタAに何らかのソフトを、書き換えを禁止した固定データとして書き込んで使用者に供給した場合において、障害を理由に、本発明の実施の第2形態が製造者に持ち込まれた場合、製造者は、セクタA書き込み状態表示フラグ39の表示内容を確認することにより、セクタAに書き込んだ固定データが書き換えられているか否かを判断することができる。

【0086】即ち、セクタA書き込み状態表示フラグ39の表示内容=「1」の場合には、セクタAに書き込んだ固定データは書き換えられておらず、セクタA書き込み状態表示フラグ39の表示内容=「0」の場合には、セクタAに書き込んだ固定データは書き換えられたと判断することができる。

【0087】なお、セクタBに固定データを書き込んだ場合には、セクタB書き込み状態表示フラグ40の表示内容を確認することにより、セクタBに書き込んだ固定データが書き換えられているか否かを判断することができる。

【0088】したがって、本発明の実施の第2形態によれば、障害を理由に、本発明の実施の第2形態が製造者に持ち込まれた場合、製造者は、障害に対して即座に対応することができると共に、障害の原因が固定データの書換えにある場合には、責任の所在の証明を容易に行うことができる。

【0089】また、本発明の実施の第2形態によれば、正当な者が書換えを禁止している固定データを新バージョンに書換える場合、書換えを禁止している固定データが書換えられているか否かを判断することができる。バージョンアップの可否を判断することができる。

【0090】なお、セクタA書換え状態表示フラグ39を構成するE PROMセル42、43及びセクタB書換え状態表示フラグ40を構成するE PROMセルの代わりに、存在又は消去方法を非公開としたフラッシュ・メモリ・セルやEEPROMセルを使用し、書換え可能とすることもでき、このようにする場合には、セクタA書換え状態表示フラグ39及びセクタB書換え状態表示フラグ40の初期化を行うことができるので、複数回のバージョンアップが行われる場合においても、正当な者以外の者による書換えの有無を確認することができる。

【0091】第3形態・図15～図25

図15は本発明の実施の第3形態の要部を示すブロック図である。本発明の実施の第3形態は、図1に示す本発明の実施の第1形態が備えるセクタA書換え状態表示フラグ24及びセクタB書換え状態表示フラグ36と回路構成の異なるセクタA書換え状態表示フラグ49及びセクタB書換え状態表示フラグ50を設けると共に、制御回路18は、セクタA書換え状態表示フラグ49及びセクタB書換え状態表示フラグ50を後述のように制御できるように構成し、その他については、本発明の実施の第1形態と同様に構成したものである。

【0092】図16はセクタA書換え状態表示フラグ49の構成を示す回路図であり、セクタB書換え状態表示フラグ50も、同様に構成されている。

【0093】図16中、52はセクタA書換え状態表示第1フラグであり、53はセクタAに対する書き込み時及び消去時には高電圧VPPを供給し、それ以外の場合は電源電圧VCCを供給する電源線である。

【0094】また、54は制御信号SWRによりON、OFFが制御されるnMOSトランジスタであり、制御信号SWRはセクタAに対する書き込みが行われる場合及びセクタA書換え状態表示フラグ49の表示内容を出力させる場合には電源電圧VCC、それ以外の場合には接地電圧VSSとされる。

【0095】また、55は制御信号SERによりON、OFFが制御されるnMOSトランジスタであり、制御信号SERはセクタAに対して消去動作が行われる場合及びセクタA書換え状態表示フラグ49の表示内容を出力させる場合には電源電圧VCC、それ以外の場合には

接地電圧VSSとされる。

【0096】また、56はノードN5に高電圧VPPが印加された場合に切断するように構成されたヒューズ、57はノードN6に高電圧VPPが印加された場合に切断するように構成されたヒューズ、58、59は高抵抗値の抵抗、60はノードN5、N6の論理値をEOR処理するEOR回路である。

【0097】また、61は制御信号SERの論理値と、セクタA書換え状態表示第1フラグ52のノードN6の論理値とをAND処理するAND回路である。

【0098】また、62はセクタA書換え状態表示第2フラグであり、63はセクタAに対する書き込み時及び消去時には高電圧VPPを供給し、それ以外の場合には電源電圧VCCを供給する電源線である。

【0099】また、64は制御信号SWRによりON、OFFが制御されるnMOSトランジスタ、65は制御信号SERによりON、OFFが制御されるnMOSトランジスタである。

【0100】また、66はノードN7に高電圧VPPが印加された場合に切断するように構成されたヒューズ、67はノードN8に高電圧VPPが印加された場合に切断するように構成されたヒューズ、68、69は高抵抗値の抵抗、70はノードN7、N8の論理値をEOR処理するEOR回路である。

【0101】また、71は制御信号SERの論理値と、セクタA書換え状態表示第2フラグ62のノードN8の論理値とをAND処理するAND回路である。

【0102】また、72はセクタA書換え状態表示第3フラグであり、73はセクタAに対する書き込み時及び消去時には高電圧VPPを供給し、それ以外の場合には電源電圧VCCを供給する電源線である。

【0103】また、74は制御信号SWRによりON、OFFが制御されるnMOSトランジスタ、75は制御信号SERによりON、OFFが制御されるnMOSトランジスタである。

【0104】また、76はノードN9に高電圧VPPが印加された場合に切断するように構成されたヒューズ、77はノードN10に高電圧VPPが印加された場合に切断するように構成されたヒューズ、78、79は高抵抗値の抵抗、80はノードN9、N10の論理値をEOR処理するEOR回路である。

【0105】このように構成された本発明の実施の第3形態においては、製造後、セクタAが未使用の場合は、セクタA書換え状態表示フラグ49においては、図17に示すように、電源線53、63、73の電圧=VCC、制御信号SWR=VCC、制御信号SER=VCCとされる。

【0106】この結果、nMOSトランジスタ54=ON、nMOSトランジスタ55=ONとなり、ノードN5の論理値='0'、ノードN6の論理値='0'、E

OR回路60の出力論理値=「0」となる。

【0107】また、nMOSトランジスタ64=ON、nMOSトランジスタ65=ONとなり、ノードN7の論理値=「0」、ノードN8の論理値=「0」、EOR回路70の出力論理値=「0」となる。

【0108】また、nMOSトランジスタ74=ON、nMOSトランジスタ75=ONとなり、ノードN9の論理値=「0」、ノードN10の論理値=「0」、EOR回路80の出力論理値=「0」となる。

【0109】その後、例えば、セクタAにデータが書き込まれると、セクタA書き込み状態表示フラグ23の表示内容は「1」とされると共に、セクタA書換え状態表示フラグ49においては、図18に示すように、電源線53、63、73の電圧=VPP、制御信号SWR=VCC、制御信号SER=VSSとされる。

【0110】この結果、nMOSトランジスタ54、64、74=ON、nMOSトランジスタ55、65、75=OFFとなり、ヒューズ56、66、76に高電圧VPPが印加され、ヒューズ56、66、76が切断される。

【0111】ここに、セクタAに対する書き込みが終了した時点では、図19に示すように、電源線53、63、73の電圧=VCC、制御信号SWR=VCC、制御信号SER=VCCとされる。

【0112】この結果、nMOSトランジスタ54=ON、nMOSトランジスタ55=ONとなり、ノードN5の論理値=「1」、ノードN6の論理値=「0」、EOR回路60の出力論理値=「1」となる。

【0113】また、nMOSトランジスタ64=ON、nMOSトランジスタ65=ONとなり、ノードN7の論理値=「1」、ノードN8の論理値=「0」、EOR回路70の出力論理値=「1」となる。

【0114】また、nMOSトランジスタ74=ON、nMOSトランジスタ75=ONとなり、ノードN9の論理値=「1」、ノードN10の論理値=「0」、EOR回路80の出力論理値=「1」となる。

【0115】その後、セクタAの内容を書換えようとする場合には、消去信号を入力して、セクタA消去動作表示フラグ21に「1」を表示し、セクタA書き込み状態表示フラグ23の内容を確認することになる。

【0116】この場合、セクタA書き込み状態表示フラグ23の表示内容は「1」とされているので、命令判定回路37を介して、書き込み状態表示フラグ表示データとして、セクタA書き込み状態表示フラグ23の表示内容

「1」が出力され、セクタAは使用されている旨の警告が行われるが、それでも尚、書換え動作が続行される場合には、セクタA書き込み状態表示フラグ23の表示内容は「0」とされる。

【0117】この場合、セクタA書換え状態表示フラグ49においては、図20に示すように、電源線53、6

3、73の電圧=VPP、制御信号SWR=VSS、制御信号SER=VCCとされる。

【0118】この結果、nMOSトランジスタ55=ON、AND回路61の出力=「0」、nMOSトランジスタ65=OFF、AND回路71の出力=「0」、nMOSトランジスタ75=OFFとなり、ヒューズ57に高電圧VPPが印加され、ヒューズ57が切断される。

【0119】ここに、セクタAに対する消去動作が終了した時点では、図21に示すように、電源線53、63、73の電圧=VCC、制御信号SWR=VCC、制御信号SER=VCCとされる。

【0120】この結果、nMOSトランジスタ54=ON、nMOSトランジスタ55=ONとなり、ノードN5の論理値=「1」、ノードN6の論理値=「1」、EOR回路60の出力論理値=「0」となる。

【0121】また、nMOSトランジスタ64=ON、nMOSトランジスタ65=ONとなり、ノードN7の論理値=「1」、ノードN8の論理値=「0」、EOR回路70の出力論理値=「1」となる。

【0122】また、nMOSトランジスタ74=ON、nMOSトランジスタ75=ONとなり、ノードN9の論理値=「1」、ノードN10の論理値=「0」、EOR回路80の出力論理値=「1」となる。

【0123】そして、セクタAに対して書き込みが行われ、セクタAの書換え動作が終了すると、セクタA書き込み状態表示フラグ23の表示内容=「1」とされる。

【0124】その後、再び、セクタAの内容を書換えようとする場合には、消去信号を入力して、セクタA消去動作表示フラグ21に「1」を表示し、セクタA書き込み状態表示フラグ23の内容を確認することになる。

【0125】この場合、セクタA書き込み状態表示フラグ23の表示内容は「1」とされているので、命令判定回路37を介して、書き込み状態表示フラグ表示データとして、セクタA書き込み状態表示フラグ23の表示内容「1」が出力され、セクタAは使用されている旨の警告が行われるが、それでも尚、書換え動作が続行される場合には、セクタA書き込み状態表示フラグ23の表示内容は「0」とされる。

【0126】この場合、セクタA書換え状態表示フラグ49においては、図22に示すように、電源線53、63、73の電圧=VPP、制御信号SWR=VSS、制御信号SER=VCCとされる。

【0127】この結果、nMOSトランジスタ55=ON、ノードN6の論理値=「1」、AND回路61の出力=「1」、nMOSトランジスタ65=ON、AND回路71の出力=「0」、nMOSトランジスタ75=OFFとなり、ヒューズ67に高電圧VPPが印加され、ヒューズ67が切断される。

【0128】ここに、セクタAに対する消去動作が終了

した時点では、図23に示すように、電源線53、63、73の電圧=VCC、制御信号SWR=VCC、制御信号SER=VCCとなる。

【0129】この結果、nMOSトランジスタ54=ON、nMOSトランジスタ55=ONとなり、ノードN5の論理値='1'、ノードN6の論理値='1'、EOR回路60の出力論理値='0'となる。

【0130】また、nMOSトランジスタ64=ON、nMOSトランジスタ65=ONとなり、ノードN7の論理値='1'、ノードN8の論理値='1'、EOR回路70の出力論理値='0'となる。
10

【0131】また、nMOSトランジスタ74=ON、nMOSトランジスタ75=ONとなり、ノードN9の論理値='1'、ノードN10の論理値='0'、EOR回路80の出力論理値='1'となる。

【0132】そして、セクタAに対する書き込みが行われ、セクタAに対する書換え動作が終了すると、セクタA書き込み状態表示フラグ23の表示内容='1'とされる。

【0133】その後、更に、セクタAの内容を書換えようとする場合には、消去信号を入力して、セクタA消去動作表示フラグ21に'1'を表示し、セクタA書き込み状態表示フラグ23の内容を確認することになる。

【0134】この場合、セクタA書き込み状態表示フラグ23の表示内容は'1'とされているので、命令判定回路37を介して、書き込み状態表示フラグ表示データとして、セクタA書き込み状態表示フラグ23の表示内容'1'が出力され、セクタAは使用されている旨の警告が行われるが、それでも尚、書換え動作が続行される場合には、セクタA書き込み状態表示フラグ23の表示内容は'0'とされる。
30

【0135】この場合、セクタA書き換え状態表示フラグ49においては、図24に示すように、電源線53、63、73の電圧=VPP、制御信号SWR=VSS、制御信号SER=VCCとされる。

【0136】この結果、nMOSトランジスタ55=ON、ノードN6の論理値='1'、AND回路61の出力='1'、nMOSトランジスタ65=ON、ノードN8の論理値='1'、AND回路71の出力='1'、nMOSトランジスタ75=ONとなり、ヒューズ77に高電圧VPPが印加され、ヒューズ77が切断される。
40

【0137】ここに、セクタAに対する消去動作が終了した時点では、図25に示すように、電源線53、63、73の電圧=VCC、制御信号SWR=VCC、制御信号SER=VCCとなる。

【0138】この結果、nMOSトランジスタ54=ON、nMOSトランジスタ55=ONとなり、ノードN5の論理値='1'、ノードN6の論理値='1'、EOR回路60の出力論理値='0'となる。
50

【0139】また、nMOSトランジスタ64=ON、nMOSトランジスタ65=ONとなり、ノードN7の論理値='1'、ノードN8の論理値='1'、EOR回路70の出力論理値='0'となる。

【0140】また、nMOSトランジスタ74=ON、nMOSトランジスタ75=ONとなり、ノードN9の論理値='1'、ノードN10の論理値='1'、EOR回路80の出力論理値='0'となる。

【0141】そして、セクタAに対して書き込みが行われ、セクタAの書換え動作が終了すると、セクタA書き込み状態表示フラグ23の表示内容='1'とされる。
10

【0142】このように、本発明の実施の第3形態においては、製造後、セクタAが未使用の場合には、セクタA書き込み状態表示フラグ49においては、セクタA書き換え状態表示第1フラグ52の表示内容='0'、セクタA書き換え状態表示第2フラグ62の表示内容='0'、セクタA書き換え状態表示第3フラグ72の表示内容='0'となる（図17参照）。

【0143】その後、セクタAに対してデータの書き込みが行われると、セクタA書き換え状態表示第1フラグ52の表示内容='1'、セクタA書き換え状態表示第2フラグ62の表示内容='1'、セクタA書き換え状態表示第3フラグ72の表示内容='1'となる（図19参照）。

【0144】その後、セクタAに対してデータの書換え動作が行われると、セクタA書き換え状態表示第1フラグ52の表示内容='0'、セクタA書き換え状態表示第2フラグ62の表示内容='1'、セクタA書き換え状態表示第3フラグ72の表示内容='1'となる（図20、図21参照）。

【0145】その後、再び、セクタAに対してデータの書き換え動作が行われると、セクタA書き換え状態表示第1フラグ52の表示内容='0'、セクタA書き換え状態表示第2フラグ62の表示内容='0'、セクタA書き換え状態表示第3フラグ72の表示内容='1'となる（図22、図23参照）。

【0146】その後、更に、セクタAに対してデータの書き換え動作が行われると、セクタA書き換え状態表示第1フラグ52の表示内容='0'、セクタA書き換え状態表示第2フラグ62の表示内容='0'、セクタA書き換え状態表示第3フラグ72の表示内容='0'となる（図24、図25参照）。

【0147】そこで、本発明の実施の第3形態の製造者が、本発明の実施の第3形態の製造後、未使用のセクタAに何らかのソフトを、書き換えを禁止した固定データとして書き込んで使用者に供給した場合において、バージョンアップを行う前に、障害を理由に、本発明の実施の第3形態が製造者に持ち込まれた場合、製造者は、セクタA書き換え状態表示第1フラグ52の表示内容を確認することにより、セクタAに書き込んだ固定データが書き換え

られているか否かを判断することができる。

【0148】即ち、この場合、セクタA書換え状態表示第1フラグ52の表示内容=「0」の場合には、セクタAに書き込んだ固定データは書換えられたと判断することができる(図20、図21参照)。

【0149】また、本発明の実施の第3形態の製造者が、本発明の実施の第3形態の製造後、未使用のセクタAに何らかのソフトを、書換えを禁止した固定データとして書込んで使用者に供給した後、第1回のバージョンアップをした場合において、障害を理由に、本発明の実施の第3形態が製造者に持ち込まれた場合、製造者は、セクタA書換え状態表示第2フラグ62の表示内容を確認することにより、セクタAに書き込んだ固定データが書換えられているか否かを判断することができる。

【0150】即ち、この場合、セクタA書換え状態表示第2フラグ62の表示内容=「0」の場合には、セクタAに書き込んだ固定データは書換えられたと判断することができる(図22、図23参照)。

【0151】また、本発明の実施の第3形態の製造者が、本発明の実施の第3形態の製造後、未使用のセクタAに何らかのソフトを、書換えを禁止した固定データとして書込んで使用者に供給した後、第1回、第2回のバージョンアップをした場合において、障害を理由に、本発明の実施の第3形態が製造者に持ち込まれた場合、製造者は、セクタA書換え状態表示第3フラグ72の表示内容を確認することにより、書換えを禁止した固定データが書換えられているか否かを判断することができる。

【0152】即ち、この場合、セクタA書換え状態表示第3フラグ72の表示内容=「0」の場合には、セクタAに書き込んだ固定データは書換えられたと判断することができる(図24、図25参照)。

【0153】なお、セクタBに固定データを書き込んだ場合には、セクタB書換え状態表示フラグ50の表示内容を確認することにより、セクタAに書き込んだ固定データが書換えられているか否かを判断することができる。

【0154】したがって、本発明の実施の第3形態によれば、障害を理由に、本発明の実施の第3形態が製造者に持ち込まれた場合、バージョンアップが2回行われる場合においても、製造者は、障害に対して即座に対応することができると共に、障害の原因が固定データの書換えにある場合には、責任の所在の証明を容易に行うことができる。

【0155】また、本発明の実施の第3形態によれば、正当な者が書換えを禁止している固定データを新バージョンに書換える場合、バージョンアップが2回行われる場合においても、書換えを禁止している固定データが書換えられているか否かを判断することができるので、バージョンアップの可否を判断することができる。

【0156】第4形態・・図26～図36

図26は本発明の実施の第4形態の要部を示すブロック図である。本発明の実施の第4形態は、図1に示す本発明の実施の第1形態が備えるセクタA書換え状態表示フラグ24及びセクタB書換え状態表示フラグ36と回路構成の異なるセクタA書換え状態表示フラグ82及びセクタB書換え状態表示フラグ83を設けると共に、制御回路18は、セクタA書換え状態表示フラグ82及びセクタB書換え状態表示フラグ83を後述のように制御できるように構成し、その他については、本発明の実施の第1形態と同様に構成したものである。

【0157】図27はセクタA書換え状態表示フラグ82の構成を示す回路図であり、セクタB書換え状態表示フラグ83も、同様に構成されている。

【0158】図27中、85はセクタA書換え状態表示第1フラグであり、86、87はドレイン及びコントロールゲートを電源電圧VCCとされると読み出し状態、ドレイン及びコントロールゲートを高電圧VPPとされると書き込みが行われるE PROMセルである。

【0159】また、88はセクタAに対して書き込みが行われる場合には高電圧VPPを供給し、それ以外の場合には電源電圧VCCを供給する電源線、89はセクタAの消去が行われる場合には高電圧VPPを供給し、それ以外の場合には電源電圧VCCを供給する電源線である。

【0160】また、90はノードN11、N12の論理値をAND処理してセクタA書換え状態表示第1フラグ85の表示内容を出力するAND回路である。

【0161】また、91は電源電圧VCC及び高電圧VPPを入力し、セクタAに対する消去動作を行う場合に、AND回路90の出力が「1」の場合には、高電圧VPPを出力し、その他の場合には、電源電圧VCCを出力する電圧供給回路である。

【0162】また、92はセクタA書換え状態表示第2フラグであり、93、94はドレイン及びコントロールゲートを電源電圧VCCとされると読み出し状態、ドレイン及びコントロールゲートを高電圧VPPとされると書き込みが行われるE PROMセルである。

【0163】また、95はセクタAに対して書き込みが行われる場合には高電圧VPPを供給し、それ以外の場合には電源電圧VCCを供給する電源線、96は電圧供給回路91から高電圧VPP又は電源電圧VCCを供給される電源線である。

【0164】また、97はノードN13、N14の論理値をAND処理してセクタA書換え状態表示第2フラグ92の表示内容を出力するAND回路である。

【0165】また、98は電源電圧VCC及び高電圧VPPを入力し、セクタAに対する消去動作を行う場合に、AND回路97の出力が「1」の場合には高電圧VPPを出力し、その他の場合には電源電圧VCCを出力する電圧供給回路である。

【0166】また、99はセクタA書換え状態表示第3フラグであり、100、101はドレイン及びコントロールゲートを電源電圧VCCとされると読み出し状態、ドレイン及びコントロールゲートを高電圧VPPとされると書き込みが行われるEEPROMセルである。

【0167】また、102はセクタAに対して書き込みが行われる場合には高電圧VPPを供給し、それ以外の場合には電源電圧VCCを供給する電源線、103は電圧供給回路98から高電圧VPP又は電源電圧VCCを供給される電源線である。

【0168】また、104はノードN15、N16の論理値をAND処理してセクタA書換え状態表示第3フラグ99の表示内容を出力するAND回路である。

【0169】このように構成された本発明の実施の第4形態においては、製造後、セクタAが未使用の場合には、セクタA書換え状態表示フラグ82においては、図28に示すように、電源線88、89、95、96、102、103の電圧=VCCとされる。

【0170】この結果、EEPROMセル86=ON、EEPROMセル87=ON、ノードN11の論理値=「0」、ノードN12の論理値=「0」となり、AND回路90の出力論理値=「0」となる。

【0171】また、EEPROMセル93=ON、EPROMセル94=ON、ノードN13の論理値=「0」、ノードN14の論理値=「0」、AND回路97の出力論理値=「0」となる。

【0172】また、EEPROMセル100=ON、EPR0Mセル101=ON、ノードN15の論理値=「0」、ノードN16の論理値=「0」、AND回路104の出力論理値=「0」となる。

【0173】その後、例えば、セクタAにデータを書き込むと、セクタA書き込み状態表示フラグ23の表示内容は「1」となると共に、セクタA書換え状態表示フラグ82においては、図29に示すように、電源線88、95、102の電圧=VPP、電源線89、96、103の電圧=VCCとされ、EEPROMセル86、93、100に対する書き込みが行われる。

【0174】ここに、セクタAに対する書き込み動作が終了した時点では、図30に示すように、電源線88、89、95、96、102、103の電圧=VCCとされる。

【0175】この結果、EEPROMセル86=OFF、EEPROMセル87=ON、ノードN11の論理値=「1」、ノードN12の論理値=「0」となり、AND回路90の出力論理値=「0」となる。

【0176】また、EEPROMセル93=OFF、EPR0Mセル94=ON、ノードN13の論理値=「1」、ノードN14の論理値=「0」となり、AND回路97の出力論理値=「0」となる。

【0177】また、EEPROMセル100=OFF、E

EEPROMセル101=ON、ノードN15の論理値=「1」、ノードN16の論理値=「0」となり、AND回路104の出力論理値=「0」となる。

【0178】その後、セクタAの内容を書き換える場合には、消去信号を入力して、セクタA消去動作表示フラグ21に「1」を表示し、セクタA書き込み状態表示フラグ23の内容を確認することになる。

【0179】この場合、セクタA書き込み状態表示フラグ23の表示内容は「1」とされているので、命令判定回路37を介して、書き込み状態表示フラグ表示データとして、セクタA書き込み状態表示フラグ23の表示内容「1」が出力され、セクタAは使用されている旨の警告が行われるが、それでも尚、書き換え動作が続行される場合には、セクタA書き込み状態表示フラグ23の表示内容は「0」とされる。

【0180】この場合、セクタA書き換え状態表示フラグ82においては、図31に示すように、電源線88、95、102の電圧=VCC、電源線89の電圧=VPPとされ、EEPROMセル87に対する書き込みが行われる。なお、この場合、電源線96、103は、電源電圧VCCを維持する。

【0181】ここに、セクタAに対する消去動作が終了した時点では、図32に示すように、電源線88、89、95、96、102、103の電圧=VCCとされる。

【0182】この結果、EEPROMセル86=OFF、EEPROMセル87=OFF、ノードN11の論理値=「1」、ノードN12の論理値=「1」となり、AND回路90の出力論理値=「1」となる。

【0183】また、EEPROMセル93=OFF、EPR0Mセル94=ON、ノードN13の論理値=「1」、ノードN14の論理値=「0」となり、AND回路97の出力論理値=「0」となる。

【0184】また、EEPROMセル100=OFF、EPR0Mセル101=ON、ノードN15の論理値=「1」、ノードN16の論理値=「0」となり、AND回路104の出力論理値=「0」となる。

【0185】そして、セクタAに対する書き込みが行われ、セクタAに対する書き換え動作が終了すると、セクタA書き込み状態表示フラグ23の表示内容=「1」とされる。

【0186】その後、再び、セクタAの内容を書き換えるとする場合には、消去信号を入力して、セクタA消去動作表示フラグ21に「1」を表示し、セクタA書き込み状態表示フラグ23の内容を確認することになる。

【0187】この場合、セクタA書き込み状態表示フラグ23の表示内容は「1」とされているので、命令判定回路37を介して、書き込み状態表示フラグ表示データとして、セクタA書き込み状態表示フラグ23の表示内容「1」が出力され、セクタAは使用されている旨の警告

が行われるが、それでも尚、書換え動作が続行される場合には、セクタA書き込み状態表示フラグ23の表示内容は「0」とされる。

【0188】この場合、セクタA書き換え状態表示フラグ82においては、図33に示すように、電源線88、95、102、103の電圧=VCC、電源線89、96の電圧=VPPとされ、EEPROMセル94に対する書き込みが行われる。

【0189】ここに、セクタAに対する消去動作が終了した時点では、図34に示すように、電源線88、89、95、96、102、103の電圧=VCCとされる。

【0190】この結果、EEPROMセル86=OFF、EEPROMセル87=OFF、ノードN11の論理値=「1」、ノードN12の論理値=「1」となり、AND回路90の出力論理値=「1」となる。

【0191】また、EEPROMセル93=OFF、EEPROMセル94=OFF、ノードN13の論理値=「1」、ノードN14の論理値=「1」となり、AND回路97の出力論理値=「1」となる。

【0192】また、EEPROMセル100=OFF、EEPROMセル101=ON、ノードN15の論理値=「1」、ノードN16の論理値=「0」となり、AND回路104の出力論理値=「0」となる。

【0193】そして、セクタAに対する書き込みが行われ、セクタAに対する書き換え動作が終了すると、セクタA書き込み状態表示フラグ23の表示内容=「1」とされる。

【0194】その後、更に、セクタAの内容を書き換える場合には、消去信号を入力して、セクタA消去動作表示フラグ21に「1」を表示し、セクタA書き込み状態表示フラグ23の内容を確認することになる。

【0195】この場合、セクタA書き込み状態表示フラグ23の表示内容は「1」とされているので、命令判定回路37を介して、書き込み状態表示フラグ表示データとして、セクタA書き込み状態表示フラグ23の表示内容「1」が出力され、セクタAは使用されている旨の警告が行われるが、それでも尚、書き換え動作が続行される場合には、セクタA書き込み状態表示フラグ23の表示内容は「0」とされる。

【0196】この場合、セクタA書き換え状態表示フラグ82においては、図35に示すように、電源線88、95、102の電圧=VCC、電源線89、96、103の電圧=VPPとされ、EEPROMセル101に対する書き込みが行われる。

【0197】ここに、セクタAに対する消去動作が終了した時点では、図36に示すように、電源線88、89、95、96、102、103の電圧=VCCとされる。

【0198】この結果、EEPROMセル86=OFF、

EEPROMセル87=OFF、ノードN11の論理値=「1」、ノードN12の論理値=「1」となり、AND回路90の出力論理値=「1」となる。

【0199】また、EEPROMセル93=OFF、EEPROMセル94=OFF、ノードN13の論理値=「1」、ノードN14の論理値=「1」となり、AND回路97の出力論理値=「1」となる。

【0200】また、EEPROMセル100=OFF、EEPROMセル101=OFF、ノードN15の論理値=「1」、ノードN16の論理値=「1」となり、AND回路104の出力論理値=「1」となる。

【0201】このように、本発明の実施の第4形態においては、製造後、セクタAが未使用の場合には、セクタA書き換え状態表示フラグ82においては、セクタA書き換え状態表示第1フラグ85の表示内容=「0」、セクタA書き換え状態表示第2フラグ92の表示内容=「0」、セクタA書き換え状態表示第3フラグ99の表示内容=「0」となる(図28参照)。

【0202】その後、セクタAに対してデータの書き込みが行われると、セクタA書き換え状態表示第1フラグ85の表示内容=「0」、セクタA書き換え状態表示第2フラグ92の表示内容=「0」、セクタA書き換え状態表示第3フラグ99の表示内容=「0」を維持する(図29、図30参照)。

【0203】その後、セクタAに対してデータの書き換え動作が行われると、セクタA書き換え状態表示第1フラグ85の表示内容=「1」、セクタA書き換え状態表示第2フラグ92の表示内容=「0」、セクタA書き換え状態表示第3フラグ99の表示内容=「0」となる(図31、図32参照)。

【0204】その後、再び、セクタAに対してデータの書き換え動作が行われると、セクタA書き換え状態表示第1フラグ85の表示内容=「1」、セクタA書き換え状態表示第2フラグ92の表示内容=「1」、セクタA書き換え状態表示第3フラグ99の表示内容=「0」となる(図33、図34参照)。

【0205】そこで、本発明の実施の第4形態の製造者が、本発明の実施の第4形態の製造後、未使用のセクタAに何らかのソフトを、書き換えを禁止した固定データとして書き込んで使用者に供給した場合において、障害を理由に、本発明の実施の第4形態が製造者に持ち込まれた場合、製造者は、セクタA書き換え状態表示第1フラグ85の表示内容を確認することにより、セクタAに書き込んだ固定データが書き換えられているか否かを判断することができる。

【0206】即ち、この場合、セクタA書き換え状態表示第1フラグ85の表示内容=「1」の場合には、セクタAに書き込んだ固定データは書き換えられたと判断することができる(図31、図32参照)。

【0207】また、本発明の実施の第4形態の製造者

が、本発明の実施の第4形態の製造後、未使用のセクタAに何らかのソフトを、書換えを禁止した固定データとして書込んで使用者に供給した後、第1回のバージョンアップをした場合において、障害を理由に、本発明の実施の第1形態が製造者に持ち込まれた場合、製造者は、セクタA書換え状態表示第2フラグ92の表示内容を確認することにより、書換えを禁止した固定データが書換えられているか否かを判断することができる。

【0208】即ち、この場合、セクタA書換え状態表示第2フラグ92の表示内容=「1」の場合には、セクタAに書き込んだ固定データは書換えられたと判断することができる(図33、図34参照)。

【0209】また、本発明の実施の第4形態の製造者が、本発明の実施の第4形態の製造後、未使用のセクタAに何らかのソフトを、書換えを禁止した固定データとして書込んで使用者に供給した後、第1回、第2回のバージョンアップをした場合において、障害を理由に、本発明の実施の第1形態が製造者に持ち込まれた場合、製造者は、セクタA書換え状態表示第3フラグ99の表示内容を確認することにより、書換えを禁止した固定データが書換えられているか否かを判断することができる。

【0210】即ち、この場合、セクタA書換え状態表示第3フラグ99の表示内容=「1」の場合には、セクタAに書き込んだ固定データは書換えられたと判断することができる(図35、図36参照)。

【0211】なお、セクタBに固定データを書き込んだ場合には、セクタB書換え状態表示フラグ83の表示内容を確認することにより、書換えを禁止した固定データが書換えられているか否かを判断することができる。

【0212】したがって、本発明の実施の第4形態によれば、障害を理由に、本発明の実施の第1形態が製造者に持ち込まれた場合、製造者は、バージョンアップが2回行われる場合においても、障害に対して即座に対応することができると共に、障害の原因が固定データの書換えにある場合には、責任の所在の証明を容易に行うことができる。

【0213】また、本発明の実施の第4形態によれば、製造者が書換えを禁止している固定データを新バージョンに書換える場合、バージョンアップが2回行われる場合においても、書換えを禁止している固定データが書換えられているか否かを判断することができるので、バージョンアップの可否を判断することができる。

【0214】なお、セクタA書換え状態表示フラグ82を構成するEEPROMセル86、87、93、94、100、101及びセクタB書換え状態表示フラグ83を構成するEEPROMセルの代わりに、存在又は消去方法を非公開としたフラッシュ・メモリ・セルやEEPROMセルを使用し、書換え可能とすることもでき、このようにする場合には、セクタA書換え状態表示フラグ82及びセクタB書換え状態表示フラグ83の初期化を行う

ことができるので、3回以上のバージョンアップが行われる場合においても、正当な者以外の者による書換えの有無を確認することができる。

【0215】また、本発明の実施の第1形態～第4形態においては、本発明をフラッシュ・メモリに適用した場合について説明したが、その他、本発明は、EEPROMにも適用することができる。

【0216】

【発明の効果】本発明中、第1、第2の発明(請求項1、2記載の半導体記憶装置)によれば、障害の発生を理由に第1の発明が製造者に持ち込まれた場合、製造者は、書換えを禁止した固定データの書換えの有無を確認することができるので、障害に対する即座の対応や、責任の所在を容易に証明することができると共に、正当な者が書換えを禁止している固定データを新バージョンに書換えようとする場合、書換えを禁止している固定データが書換えられているか否かを判断することができるので、バージョンアップの可否を判断することができる。

【0217】本発明中、第3の発明(請求項3記載の半導体記憶装置)によれば、書換え記録手段の初期化を行うことができるので、複数回のバージョンアップが行われる場合においても、第1の発明と同様の効果を得ることができる。

【0218】本発明中、第4の発明(請求項4記載の半導体記憶装置)によれば、書換えを禁止している固定データの書換えの回数を知ることができるので、複数回のバージョンアップが行われる場合においても、第1の発明と同様の効果を得ることができる。

【0219】本発明中、第5の発明(請求項5記載の半導体記憶装置)によれば、書換えを禁止している固定データの書換えの回数を知ることができ、かつ、書換え記録手段の初期化を行うことができるので、複数回のバージョンアップが行われる場合においても、第1の発明と同様の効果を得ることができます。

【0220】本発明中、第6の発明(請求項6記載の半導体記憶装置)によれば、第1、第2、第3、第4又は第5の発明と同様の効果を得ることができると共に、不揮発性記憶領域にデータが記憶されている場合において、使用者がデータの書き込みを行おうとした場合に、警告することができる。

【図面の簡単な説明】

【図1】本発明の実施の第1形態の要部を示すブロック図である。

【図2】本発明の実施の第1形態が設けるセクタA書換え状態表示フラグの構成を示す回路図である。

【図3】本発明の実施の第1形態が設けるセクタA書換え状態表示フラグの動作を示す回路図である。

【図4】本発明の実施の第1形態が設けるセクタA書換え状態表示フラグの動作を示す回路図である。

【図5】本発明の実施の第1形態が設けるセクタA書換

え状態表示フラグの動作を示す回路図である。

【図 6】本発明の実施の第 1 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 7】本発明の実施の第 1 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 8】本発明の実施の第 2 形態の要部を示すブロック図である。

【図 9】本発明の実施の第 2 形態が設けるセクタ A 書換え状態表示フラグの構成を示す回路図である。

【図 10】本発明の実施の第 2 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。 10

【図 11】本発明の実施の第 2 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 12】本発明の実施の第 2 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 13】本発明の実施の第 2 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 14】本発明の実施の第 2 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 15】本発明の実施の第 3 形態の要部を示すブロック図である。 20

【図 16】本発明の実施の第 3 形態が設けるセクタ A 書換え状態表示フラグの構成を示す回路図である。

【図 17】本発明の実施の第 3 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 18】本発明の実施の第 3 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 19】本発明の実施の第 3 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 20】本発明の実施の第 3 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。 30

【図 21】本発明の実施の第 3 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 22】本発明の実施の第 3 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 23】本発明の実施の第 3 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 24】本発明の実施の第 3 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 25】本発明の実施の第 3 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 26】本発明の実施の第 4 形態の要部を示すブロック図である。

【図 27】本発明の実施の第 4 形態が設けるセクタ A 書換え状態表示フラグの構成を示す回路図である。

【図 28】本発明の実施の第 4 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 29】本発明の実施の第 4 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 30】本発明の実施の第 4 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 31】本発明の実施の第 4 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 32】本発明の実施の第 4 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 33】本発明の実施の第 4 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 34】本発明の実施の第 4 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 35】本発明の実施の第 4 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 36】本発明の実施の第 4 形態が設けるセクタ A 書換え状態表示フラグの動作を示す回路図である。

【図 37】従来のフラッシュ・メモリの一例の要部を示すブロック図である。

【符号の説明】

23 セクタ A 書込み状態表示フラグ

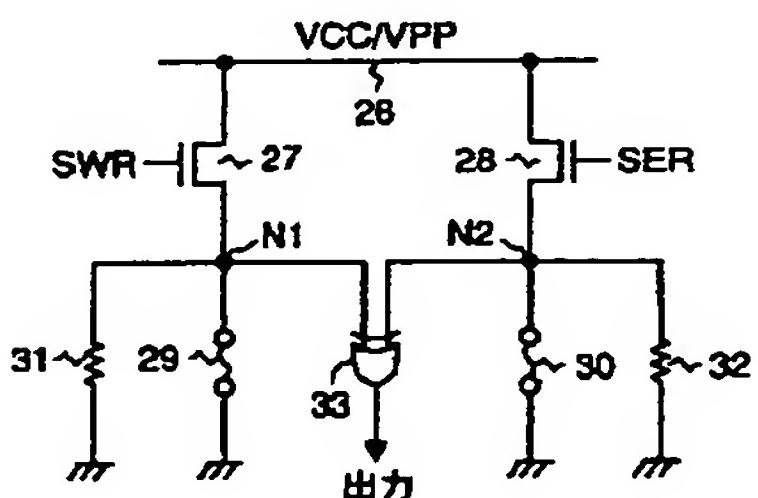
24 セクタ A 書換え状態表示フラグ

35 セクタ B 書込み状態表示フラグ

36 セクタ B 書換え状態表示フラグ

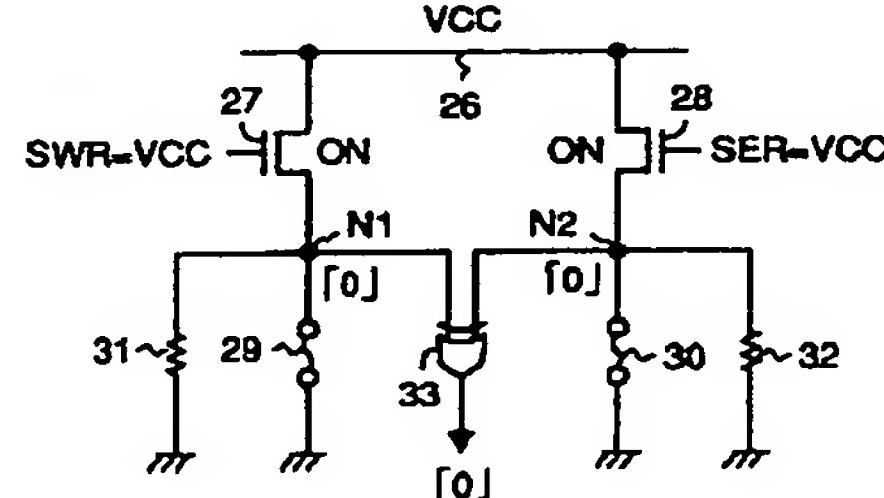
【図 2】

セクタ A 書換え状態表示フラグ 24 の構成を示す回路図



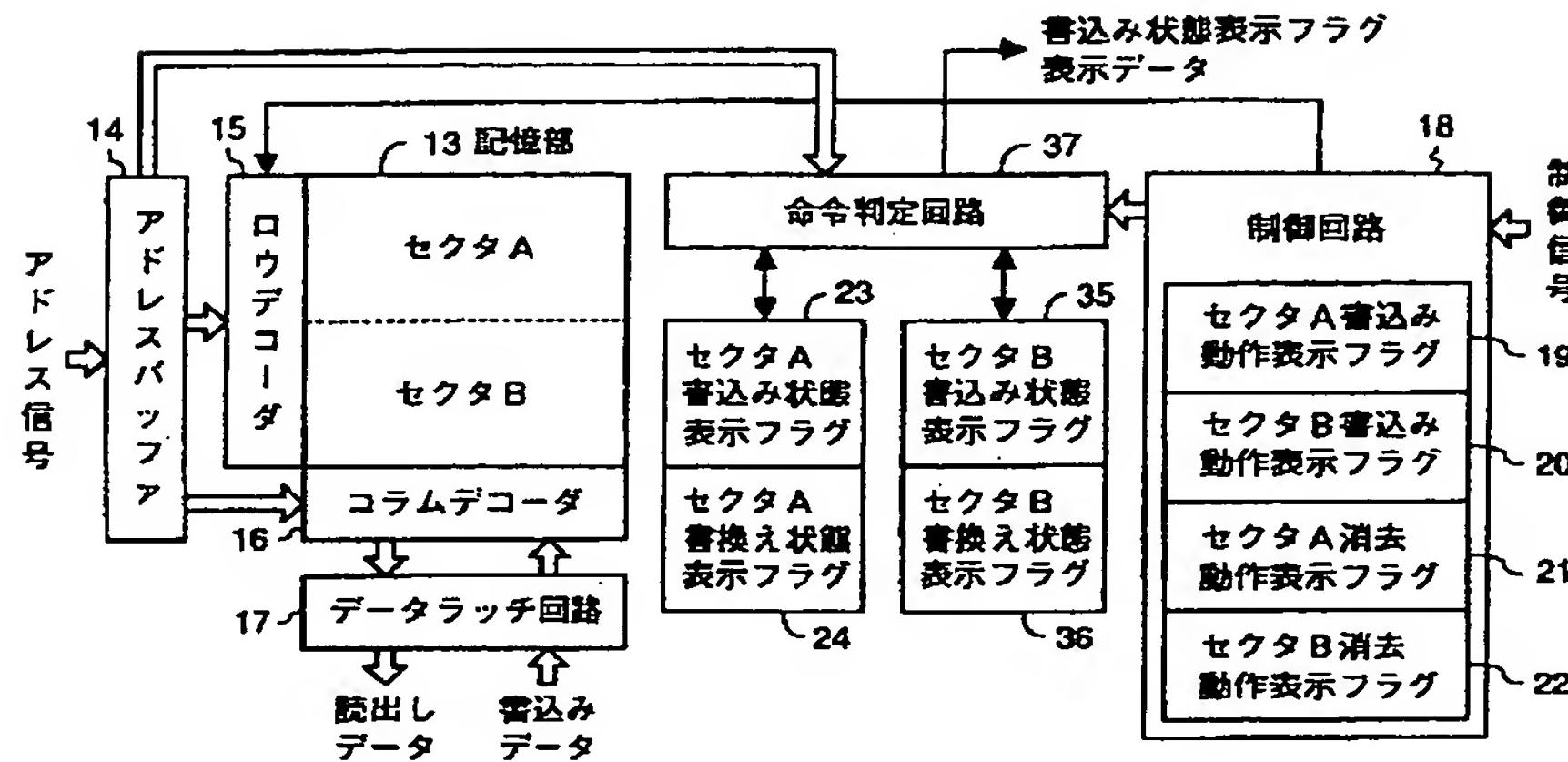
【図 3】

セクタ A 書換え状態表示フラグ 24 の動作を示す回路図



【図 1】

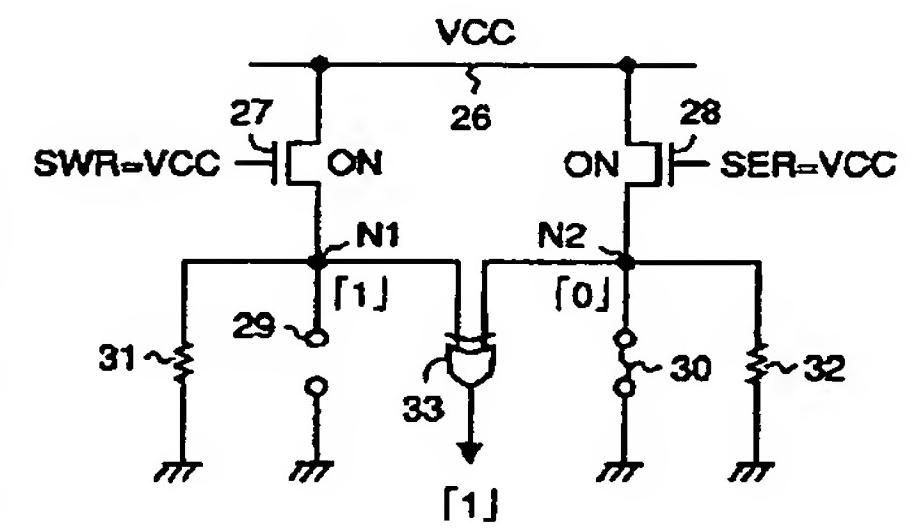
本発明の実施の第1形態の要部を示すブロック図



【図 4】

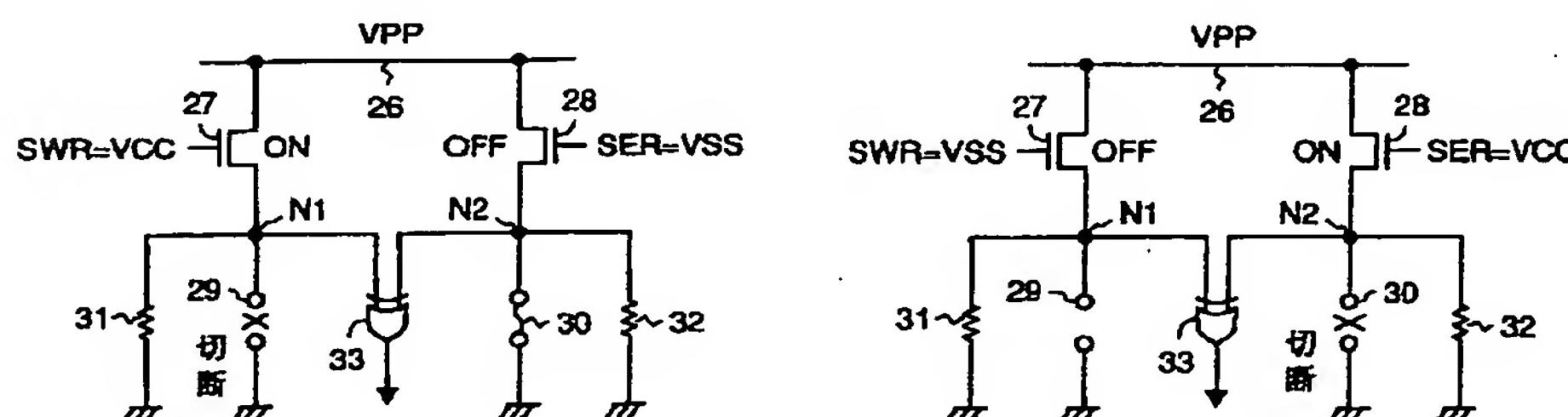
【図 5】

セクタA書き換え状態表示フラグ 24 の動作を示す図



【図 6】

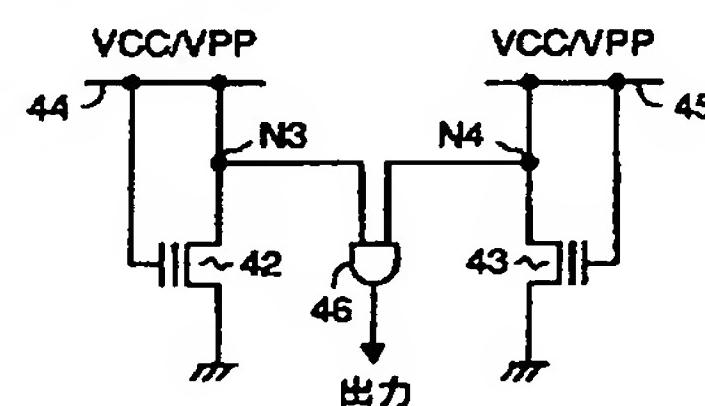
セクタA書き換え状態表示フラグ 24 の動作を示す回路図



【図 7】

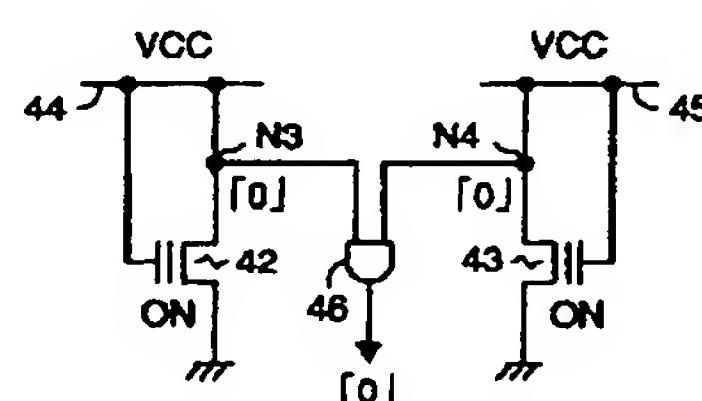
【図 9】

セクタA書き換え状態表示フラグ 24 の動作を示す回路図



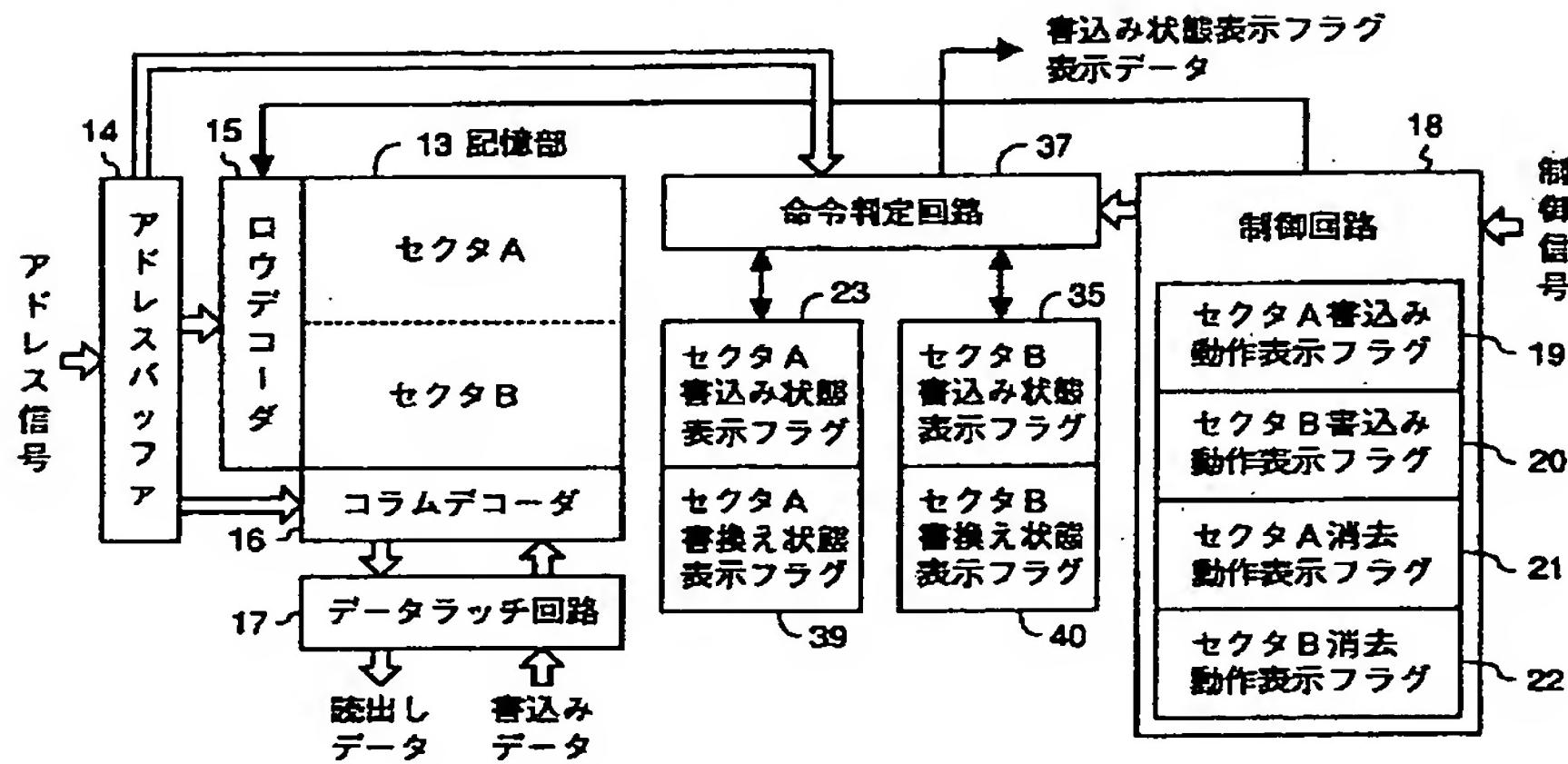
【図 10】

セクタA書き換え状態表示フラグ 39 の動作を示す回路図



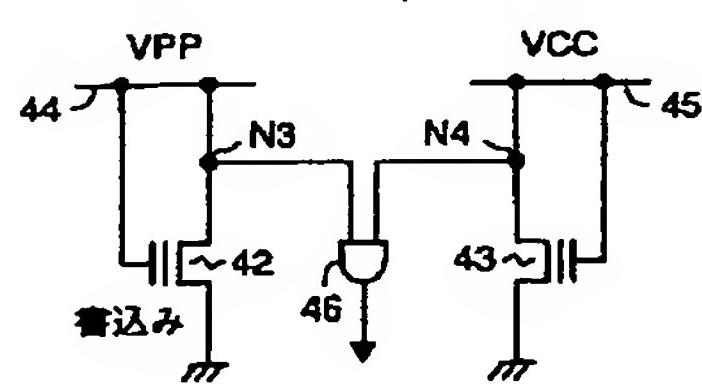
【図 8】

本発明の実施の第 2 形態の要部を示すブロック図



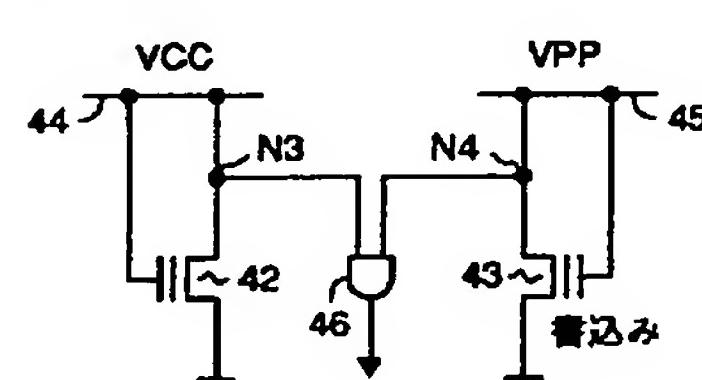
【図 11】

セクタ A 書換え状態表示フラグ 39 の動作を示す回路図



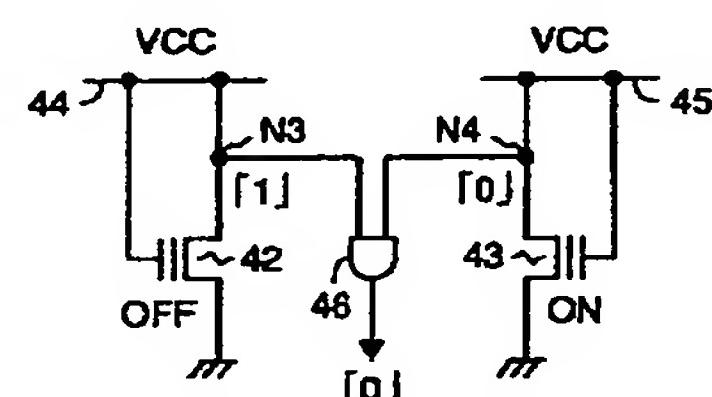
【図 13】

セクタ A 書換え状態表示フラグ 39 の動作を示す回路図



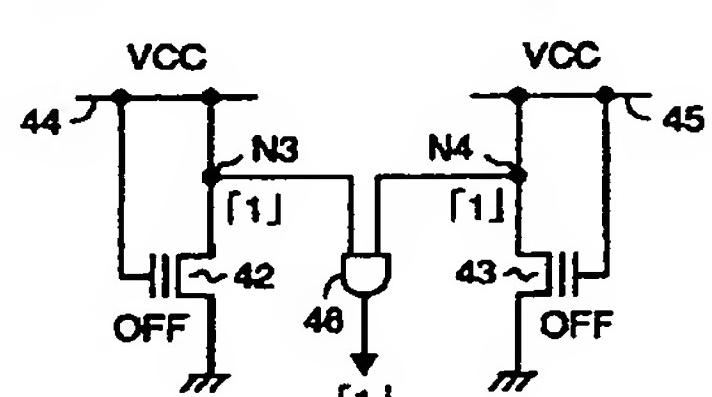
【図 12】

セクタ A 書換え状態表示フラグ 39 の動作を示す回路図



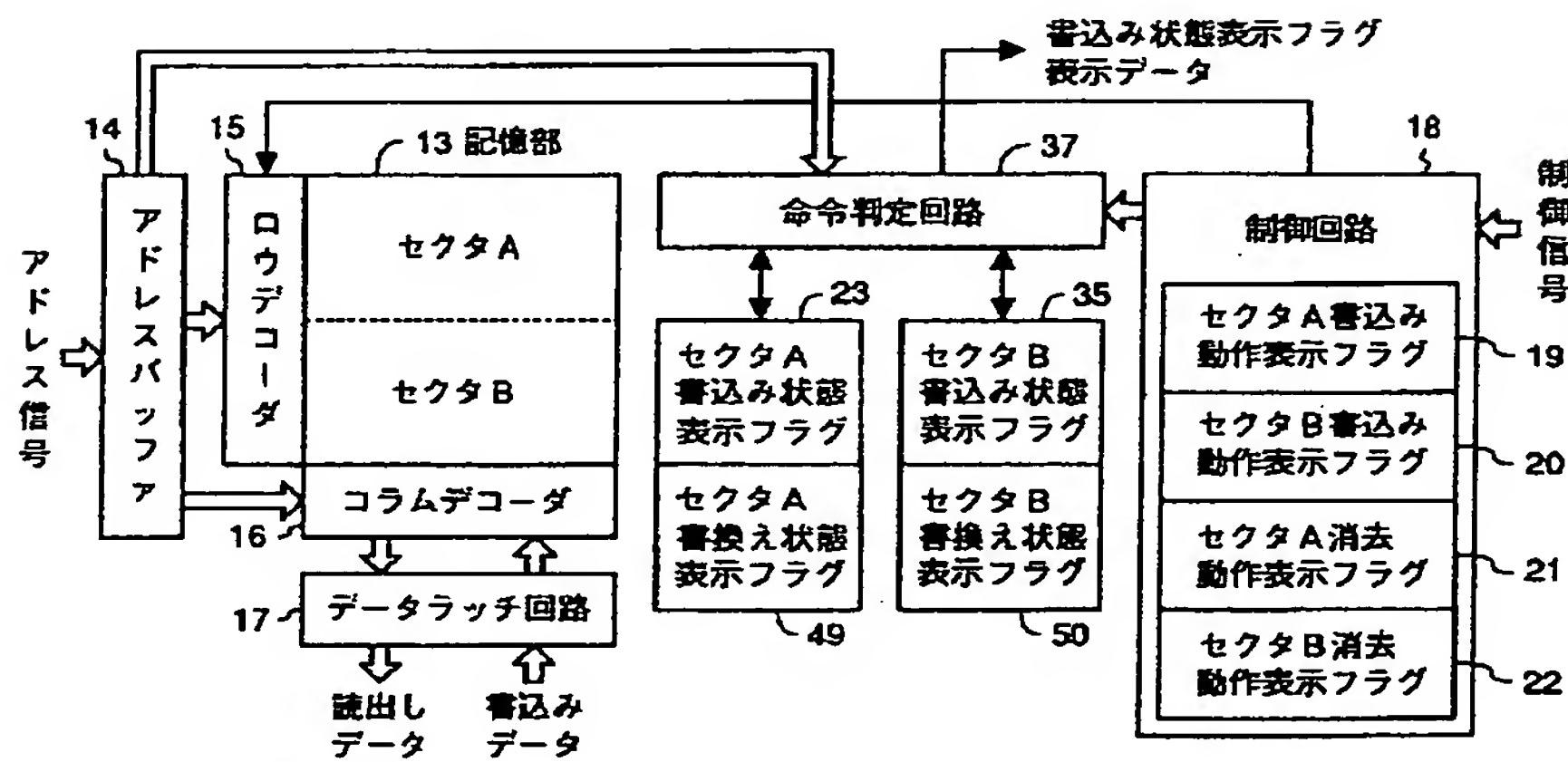
【図 14】

セクタ A 書換え状態表示フラグ 39 の動作を示す回路図



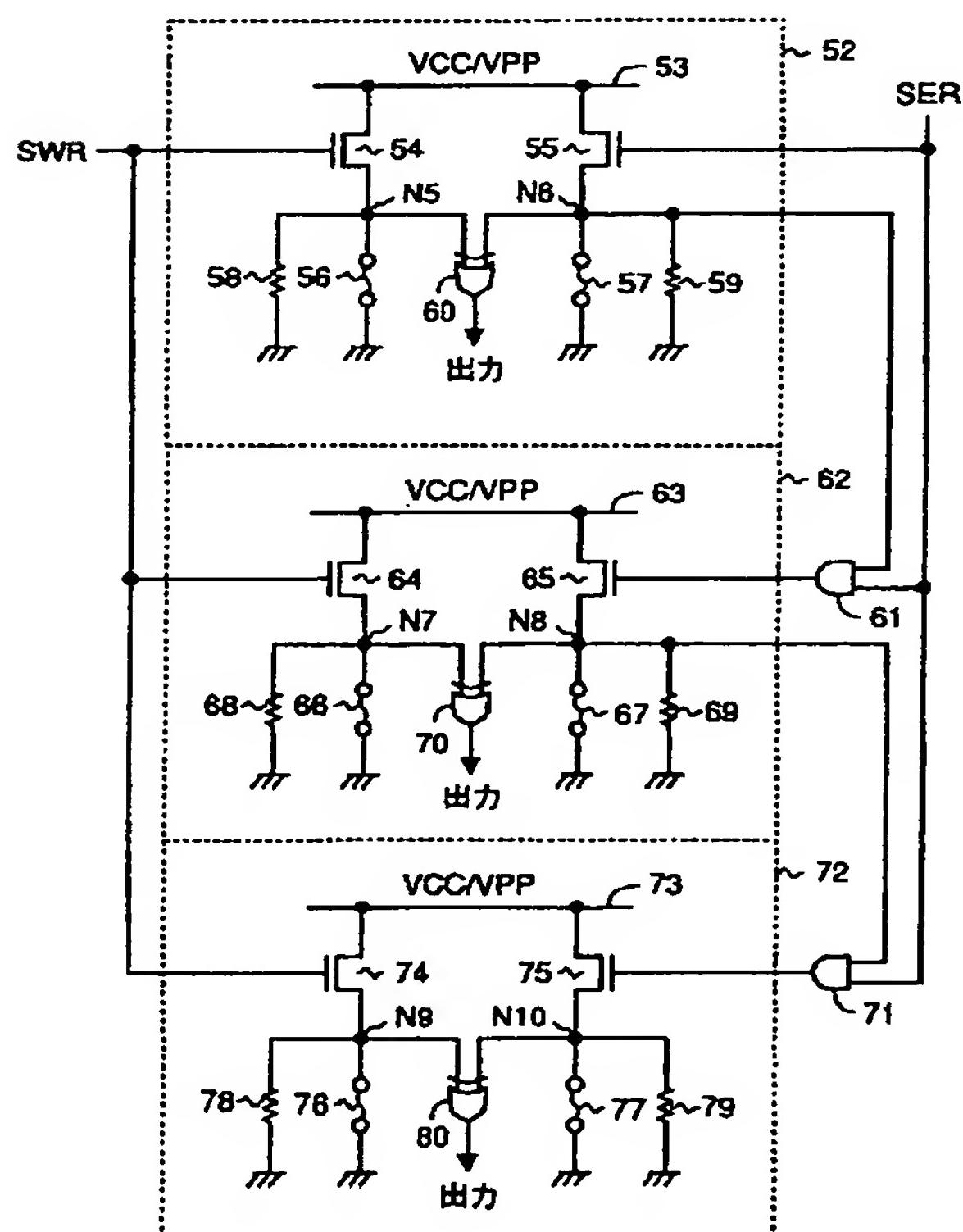
【図 15】

本発明の実施の第3形態の要部を示すブロック図



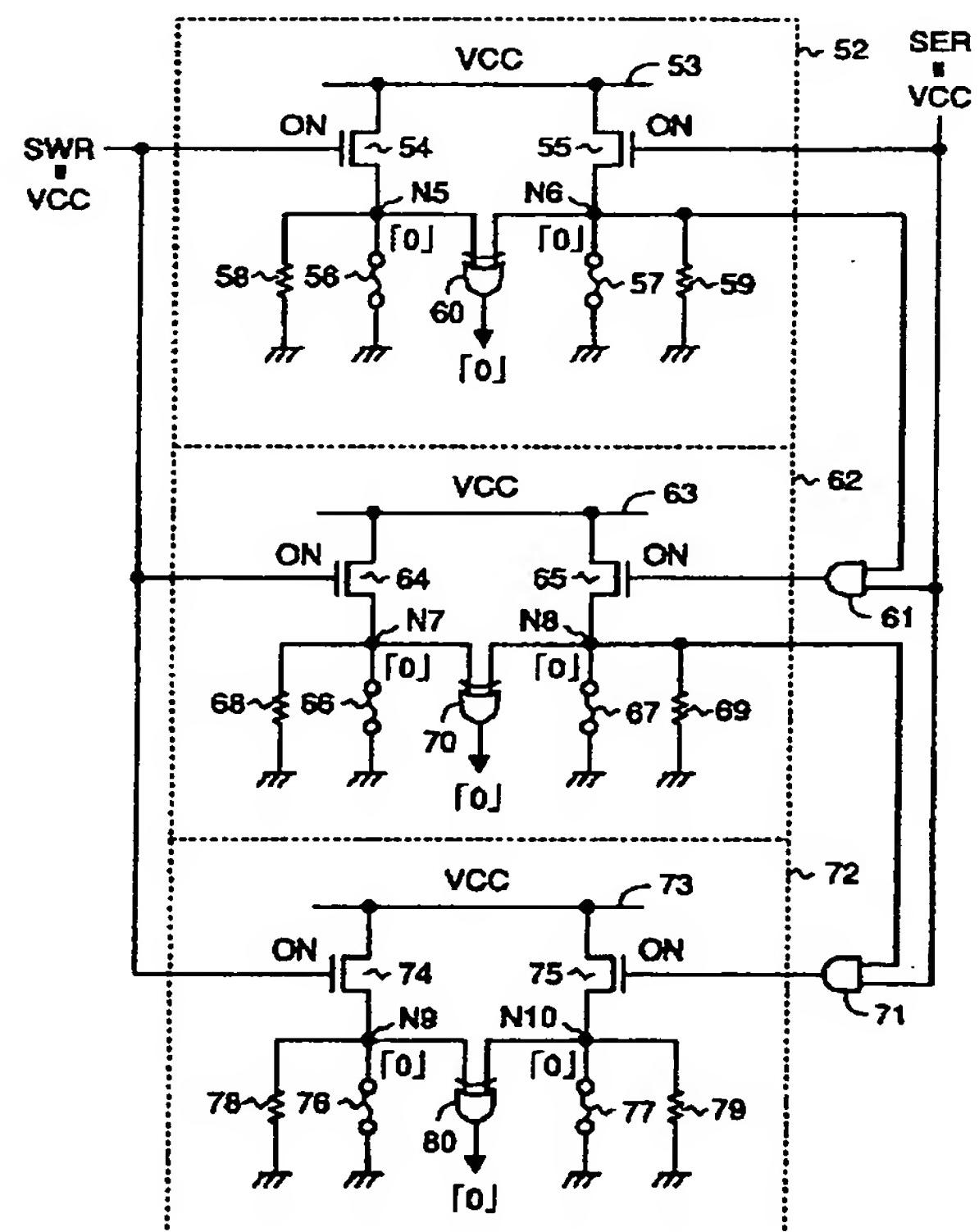
【図 16】

セクタ A 書換え状態表示フラグ 49 の構成を示す回路図



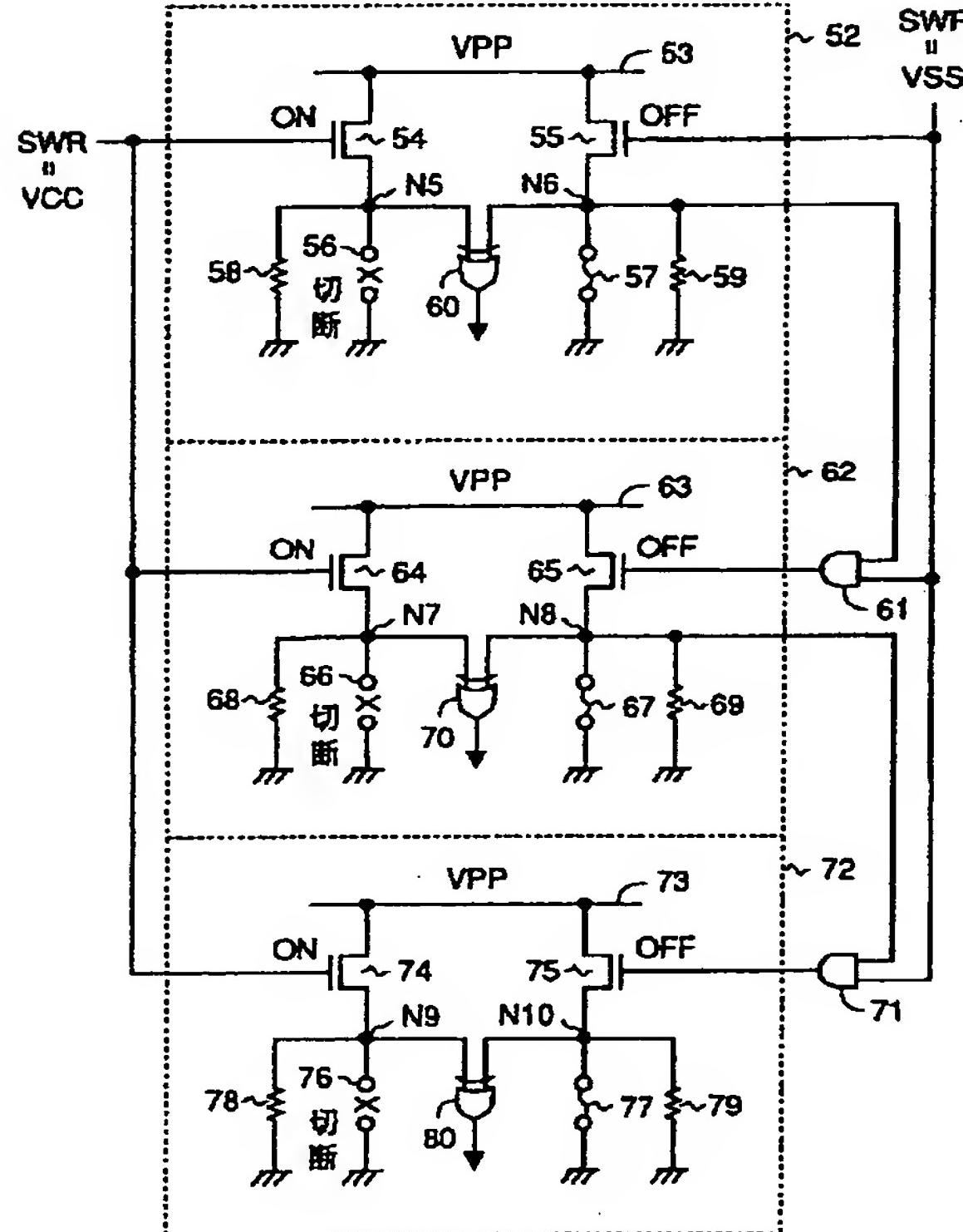
【図 17】

セクタ A 書換え状態表示フラグ 49 の動作を示す回路図



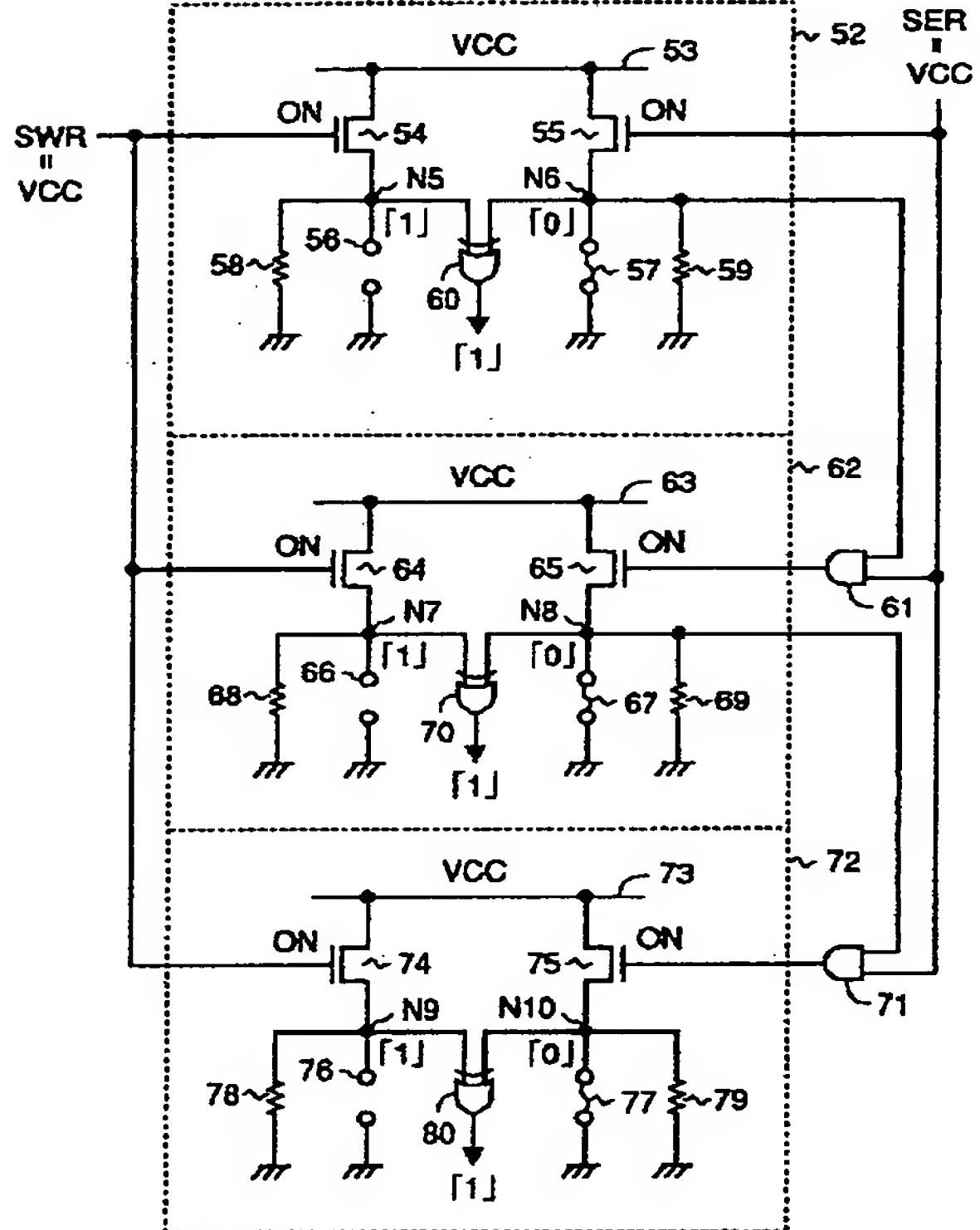
【図 18】

セクタ A 書換え状態表示フラグ 49 の動作を示す回路図



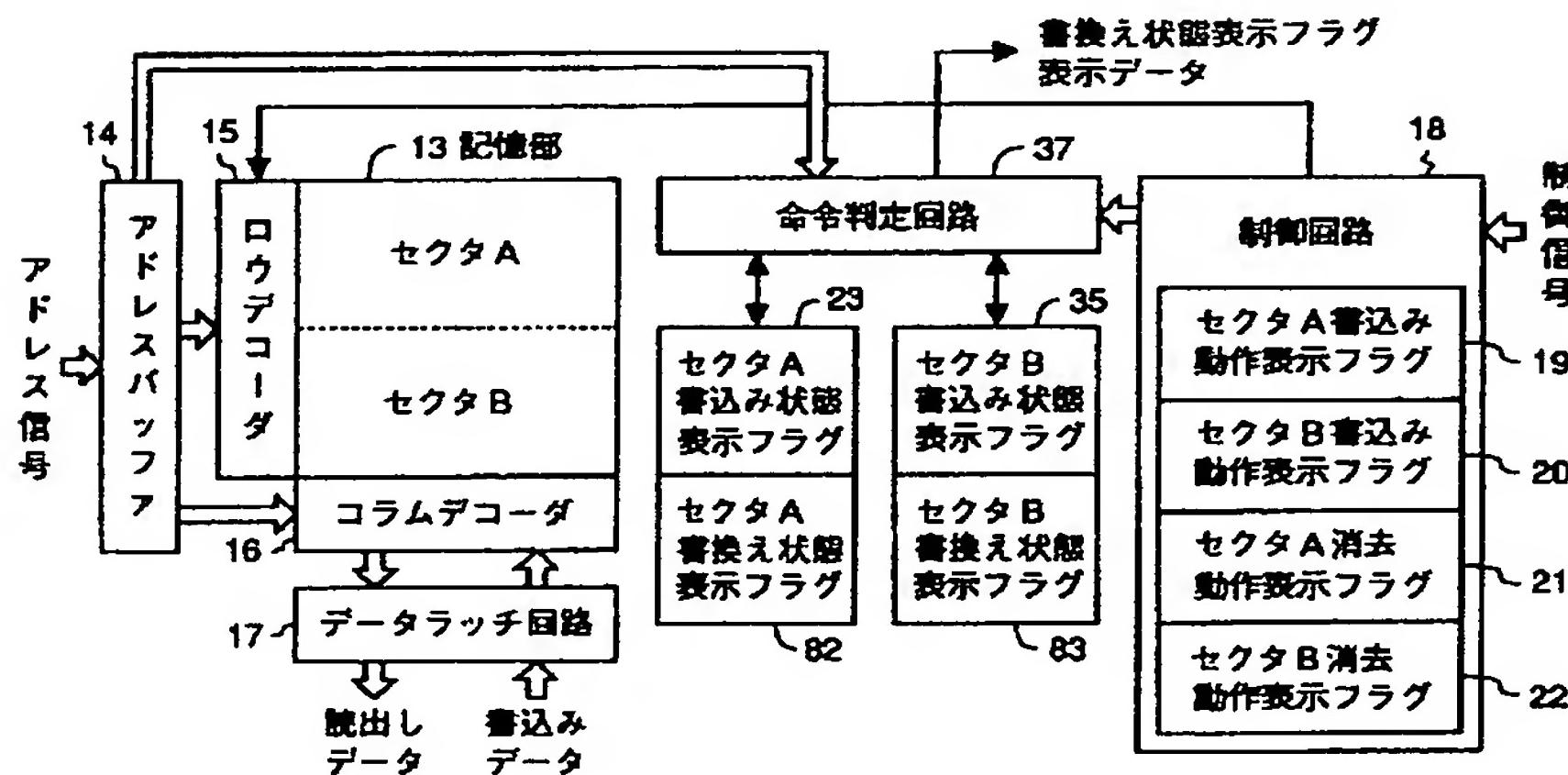
【図 19】

セクタ A 書換え状態表示フラグ 49 の動作を示す回路図



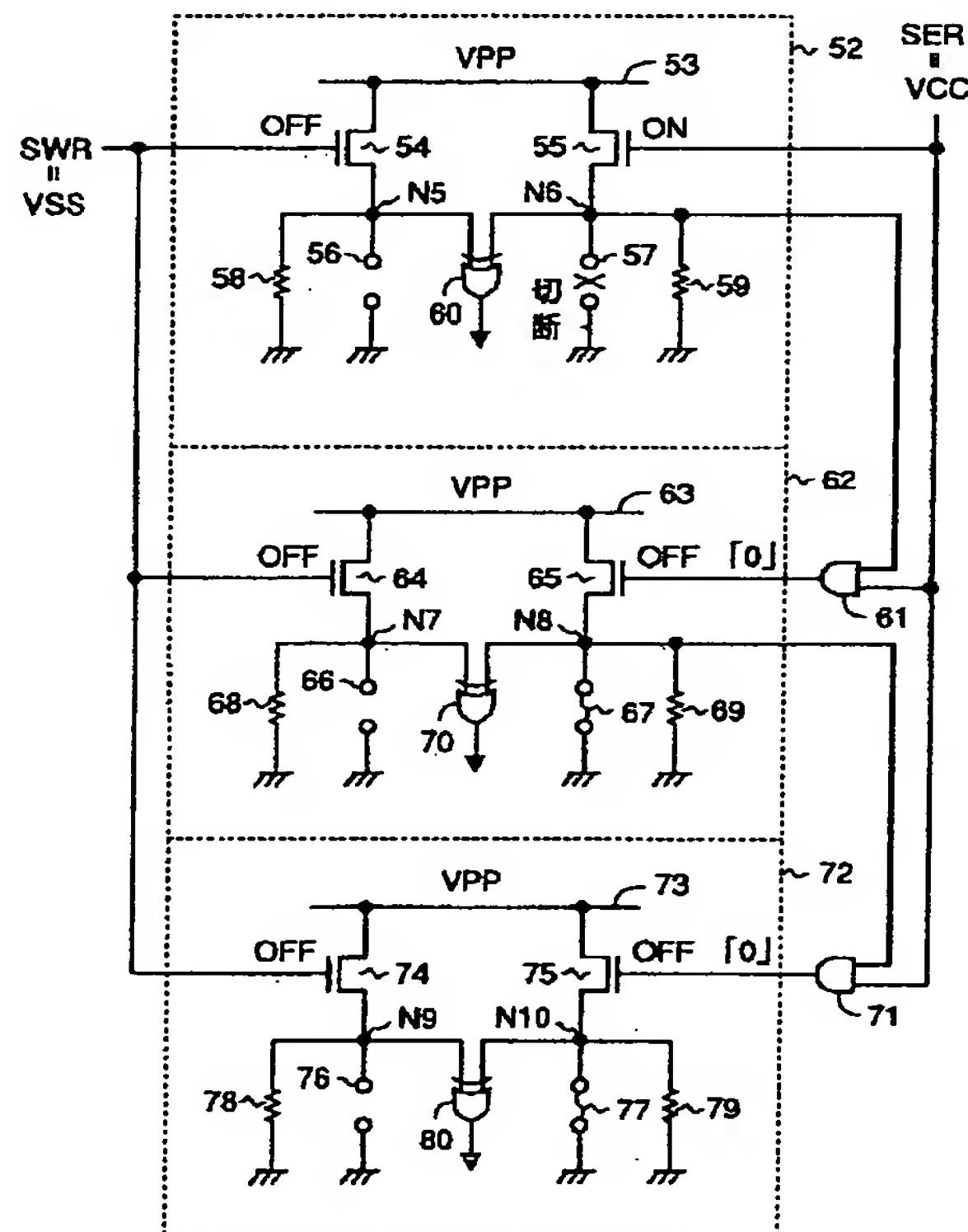
【図 26】

本発明の実施の第 4 形態の要部を示すブロック図



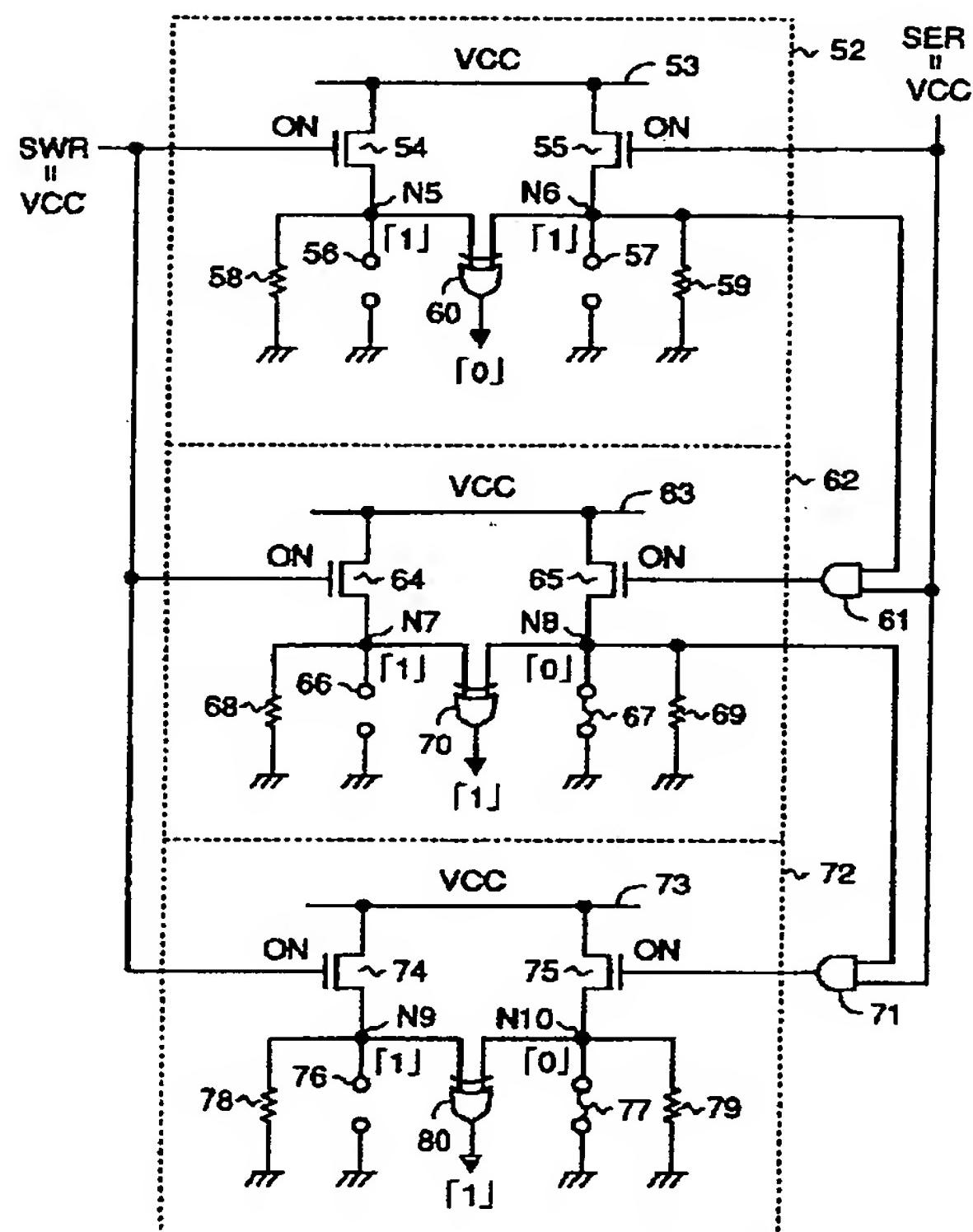
【図 20】

セクタA書き換え状態表示フラグ49の動作を示す回路図



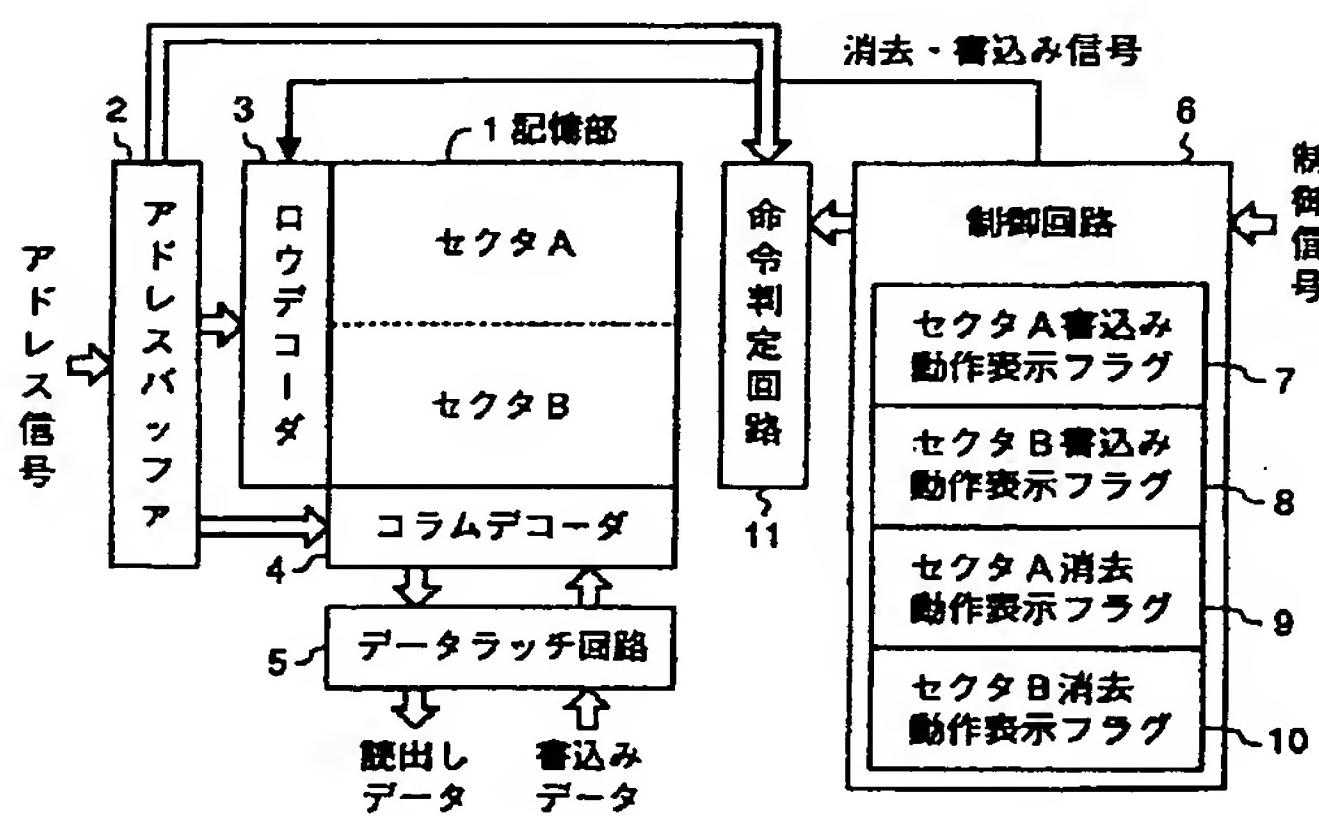
【図 21】

セクタA書き換え状態表示フラグ49の動作を示す回路図



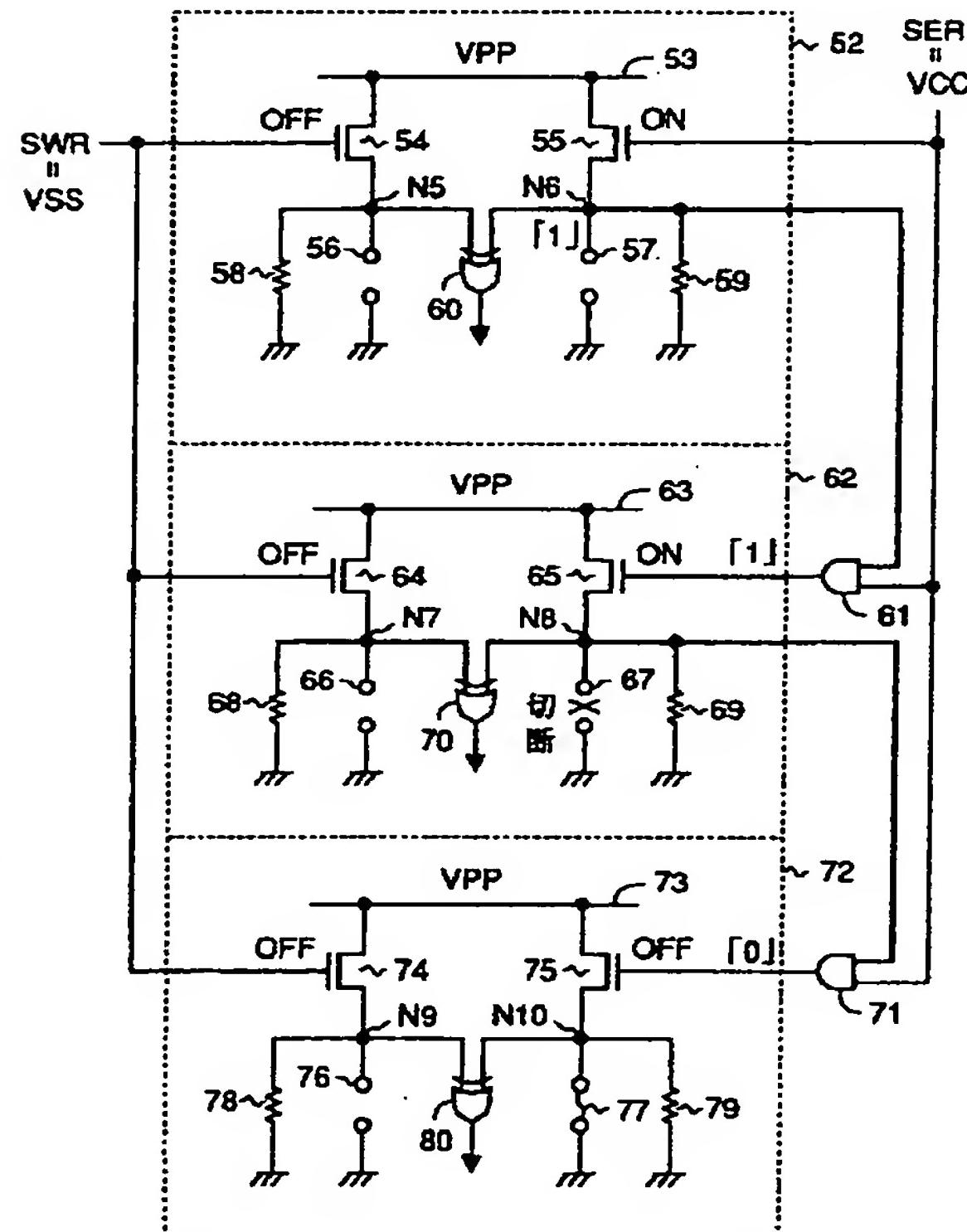
【図 37】

従来のフラッシュ・メモリの一例の要部を示すブロック図



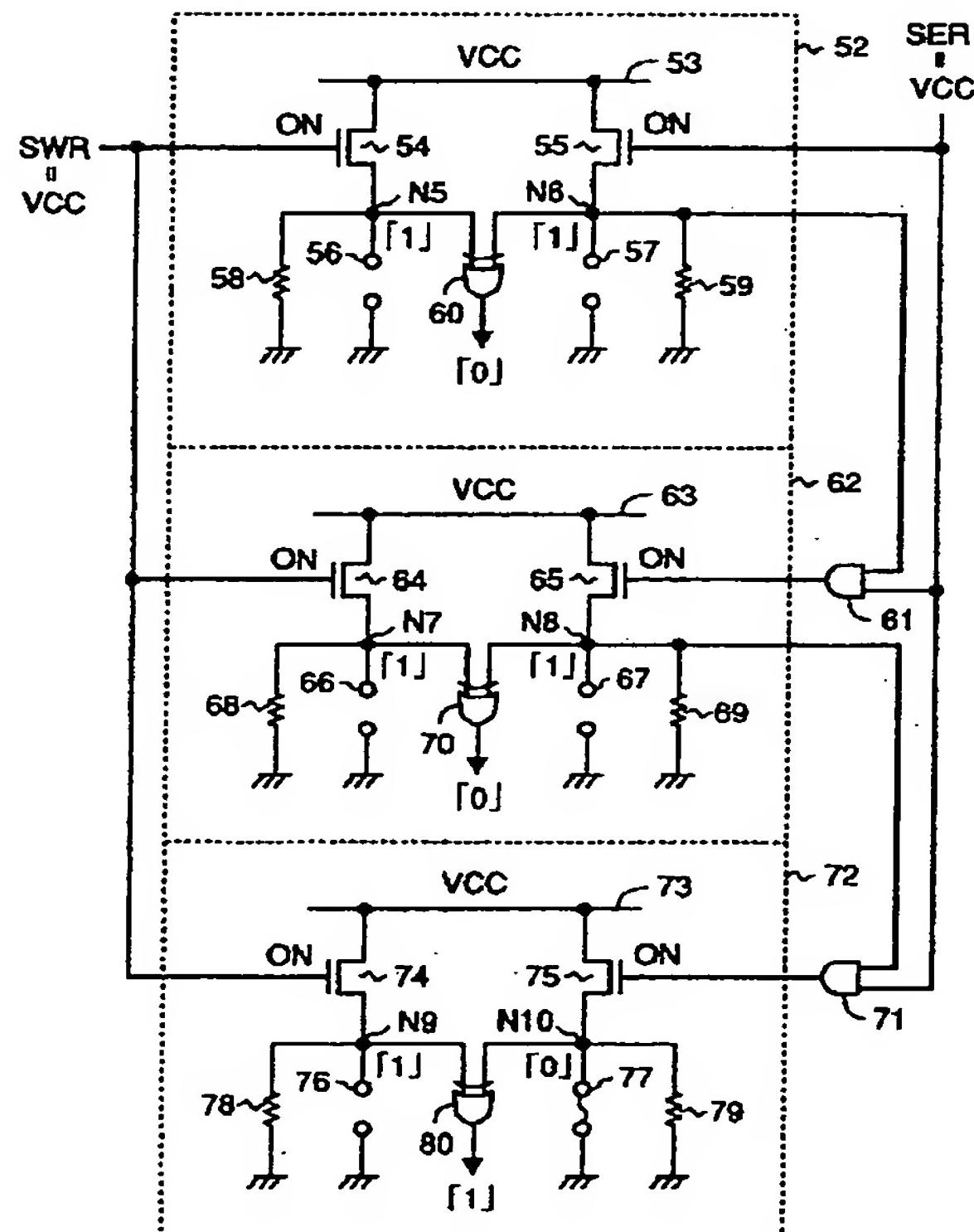
【図 22】

セクタ A 書換え状態表示フラグ 49 の動作を示す回路図



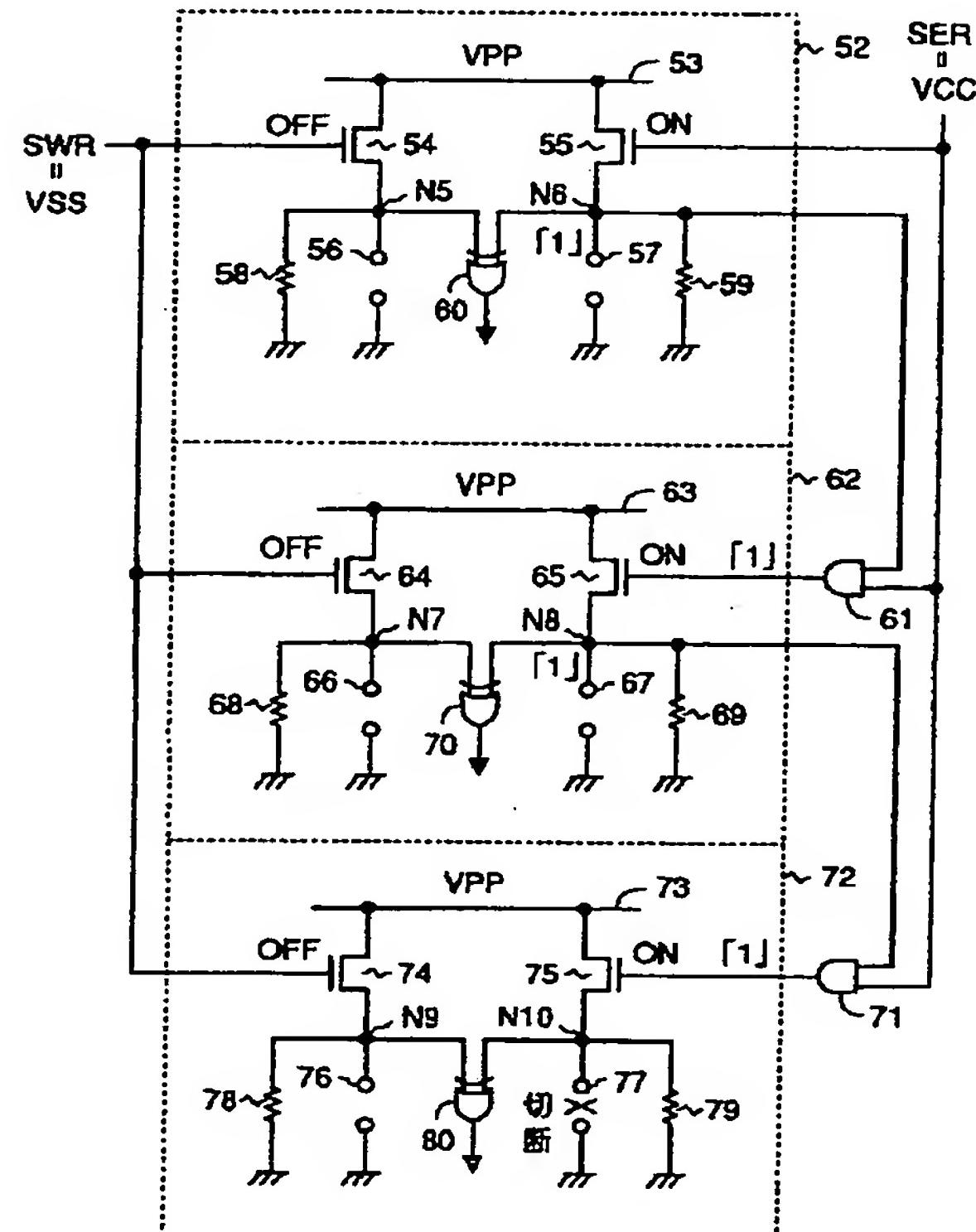
【図 23】

セクタ A 書換え状態表示フラグ 49 の動作を示す回路図



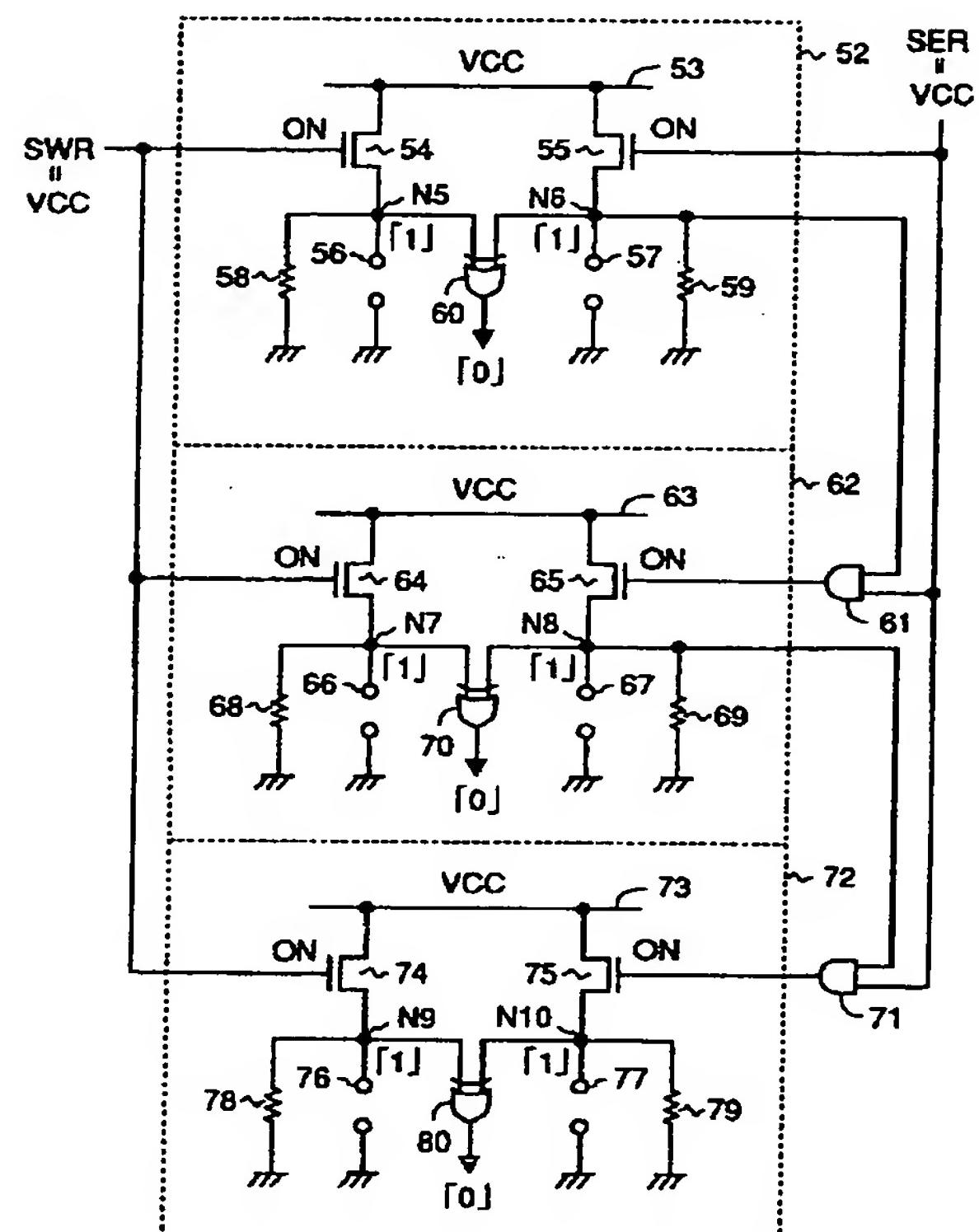
【図 24】

セクタ A 書換え状態表示フラグ 4 9 の動作を示す回路図



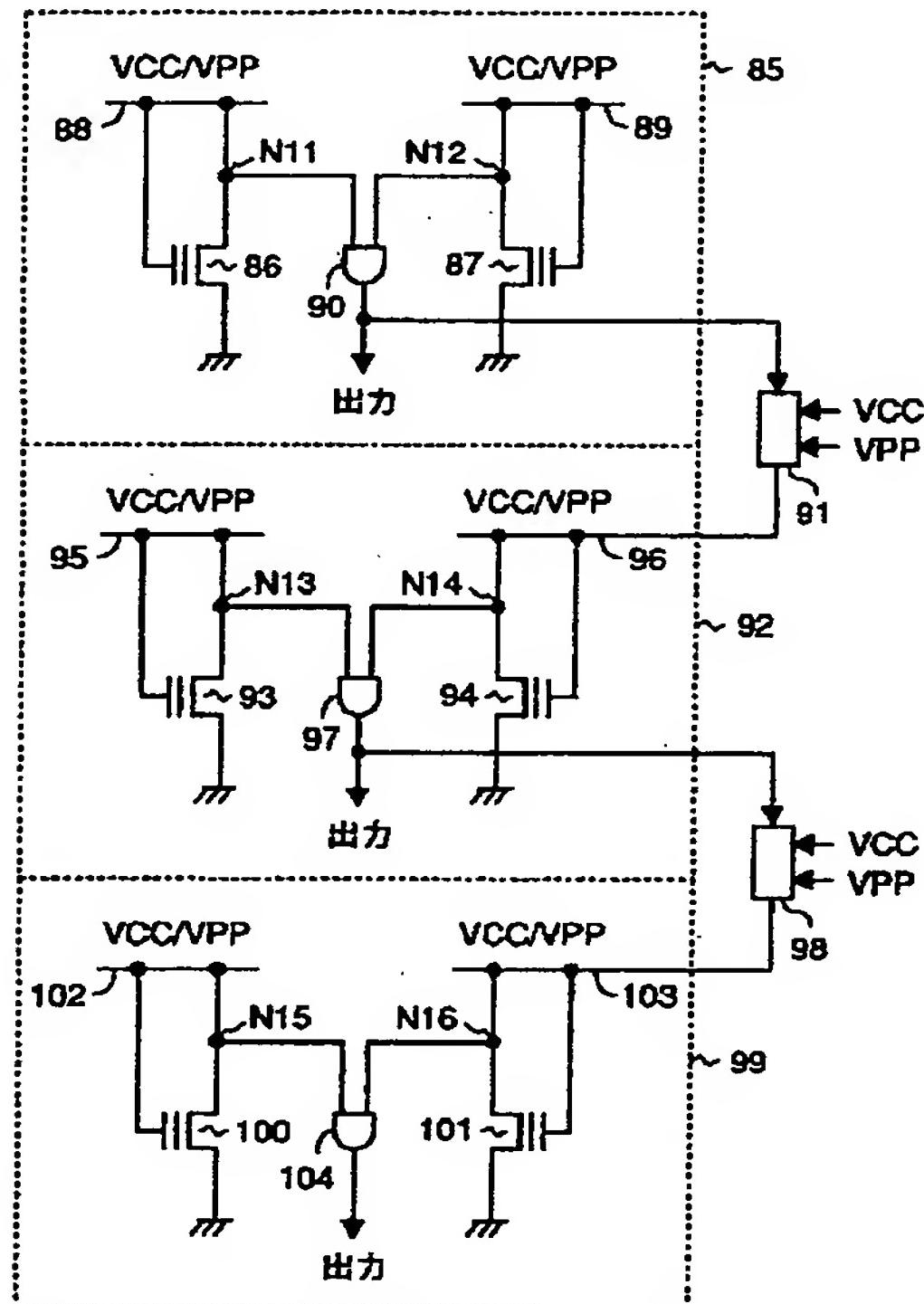
【図 25】

セクタ A 書換え状態表示フラグ 4 9 の動作を示す回路図



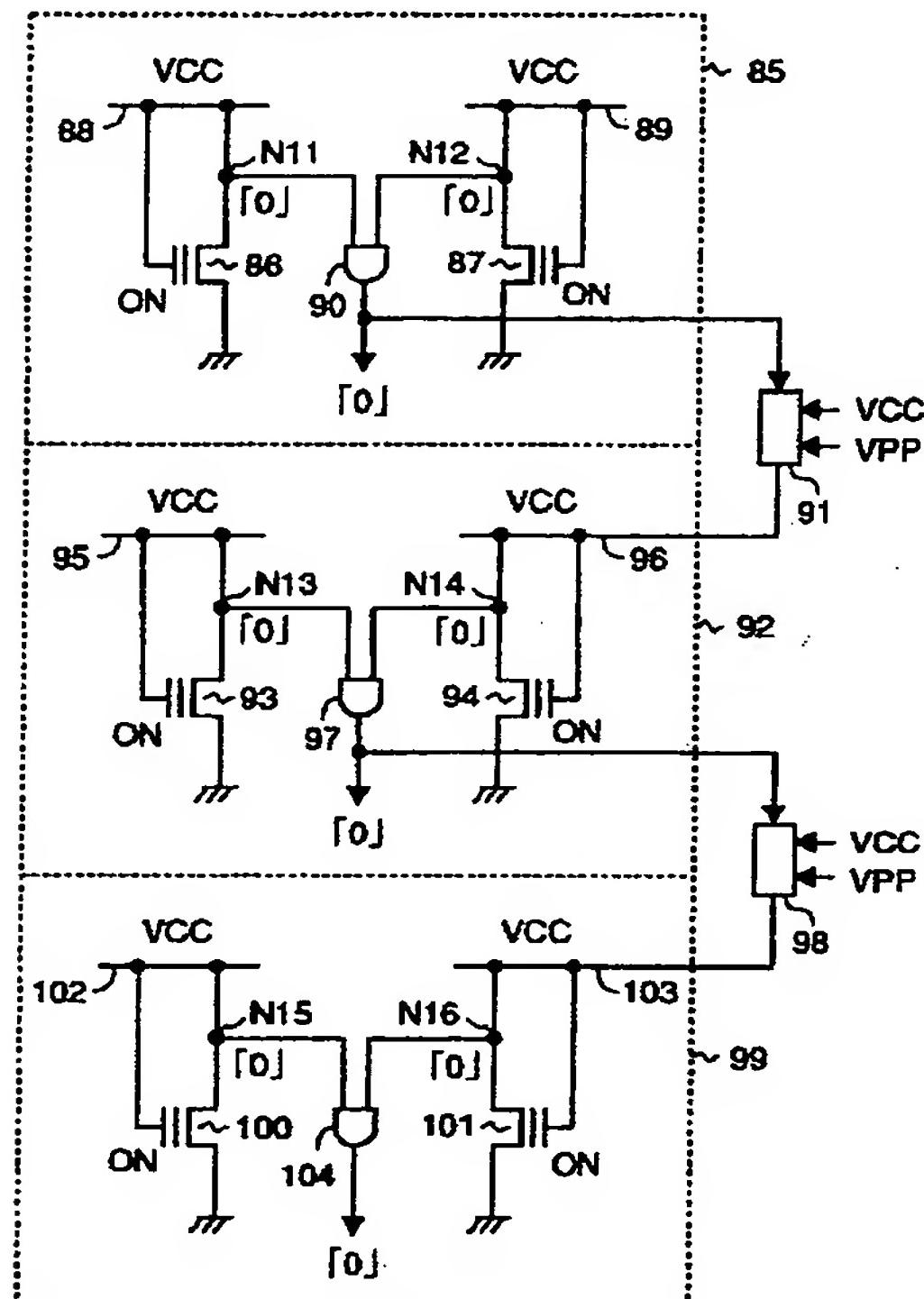
【図 27】

セクタ A 書換え状態表示フラグ 82 の構成を示す回路図



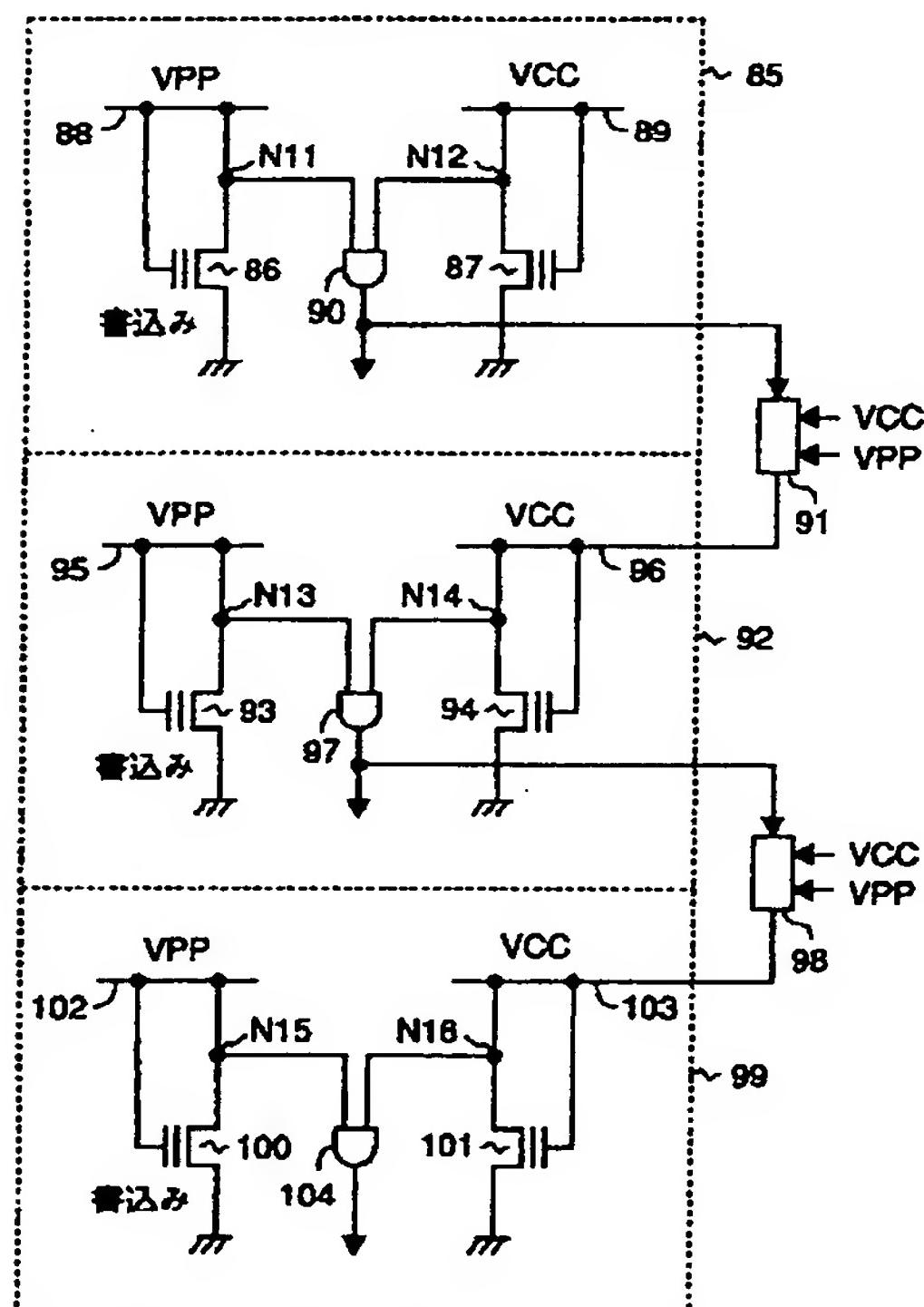
【図 28】

セクタ A 書換え状態表示フラグ 82 の動作を示す回路図



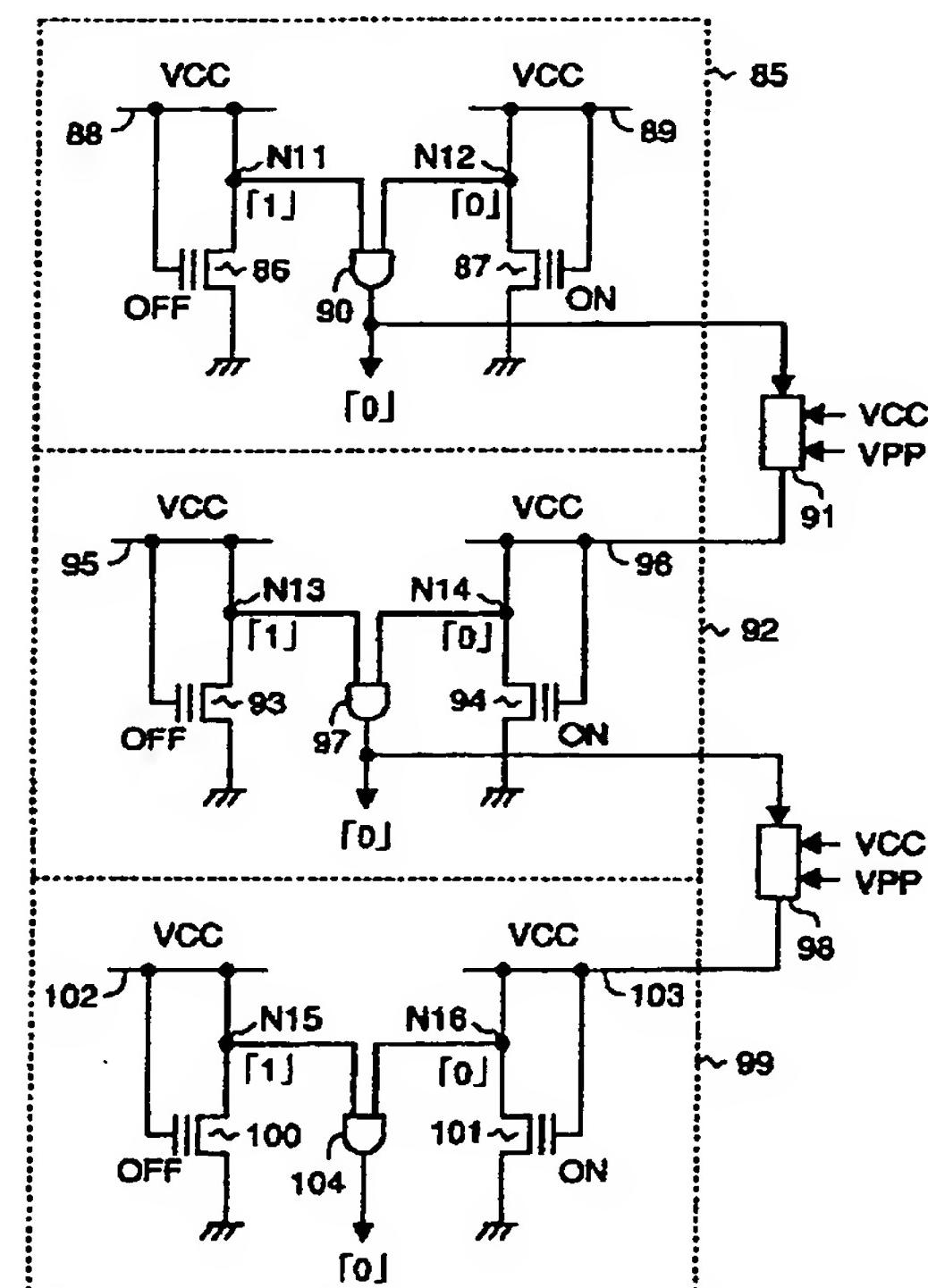
【図 29】

セクタ A 書換え状態表示フラグ 82 の動作を示す回路図



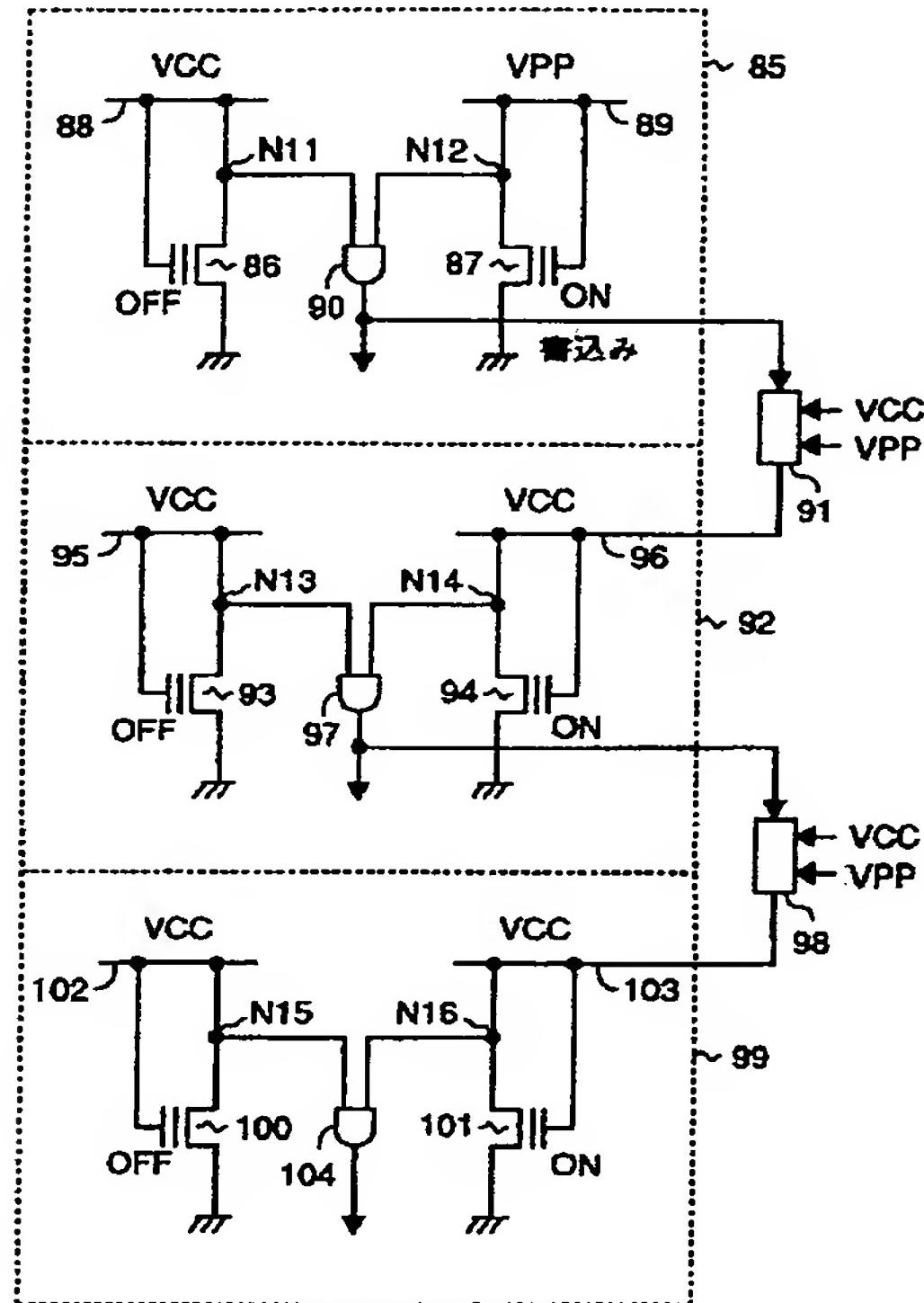
【図 30】

セクタ A 書換え状態表示フラグ 82 の動作を示す回路図



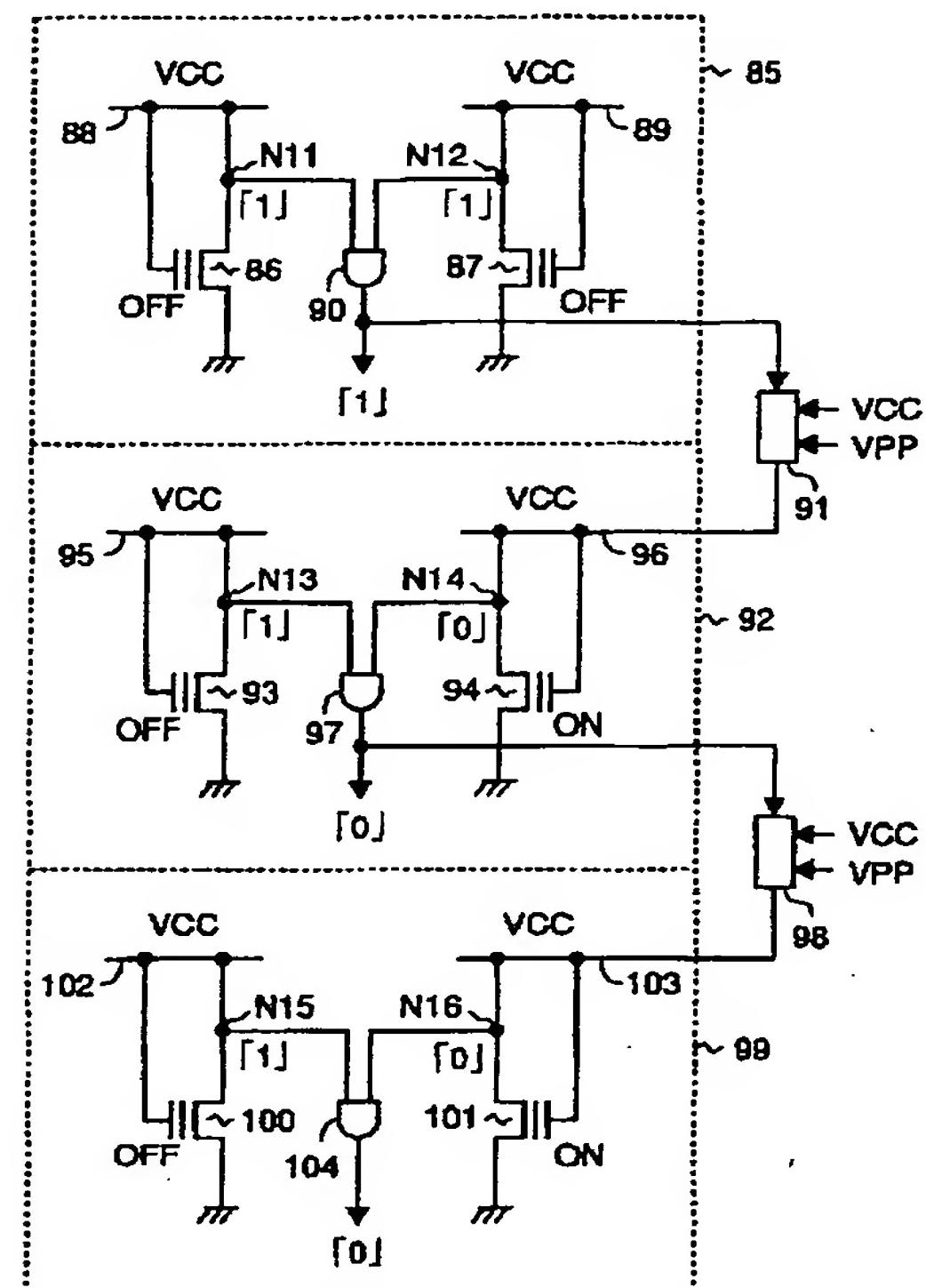
【図 3 1】

セクタ A 書換え状態表示フラグ 82 の動作を示す回路図



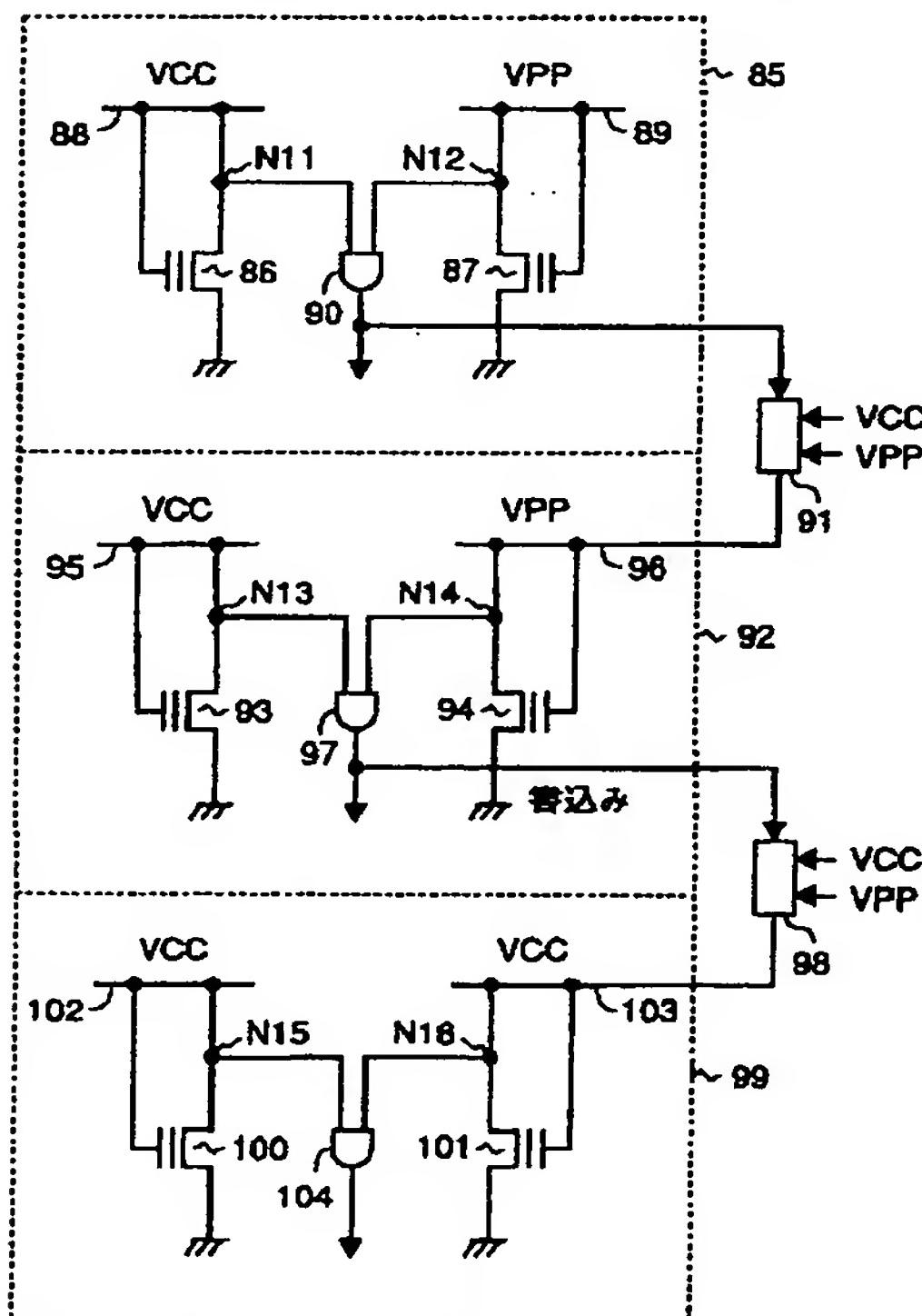
【図 3 2】

セクタ A 書換え状態表示フラグ 82 の動作を示す回路図



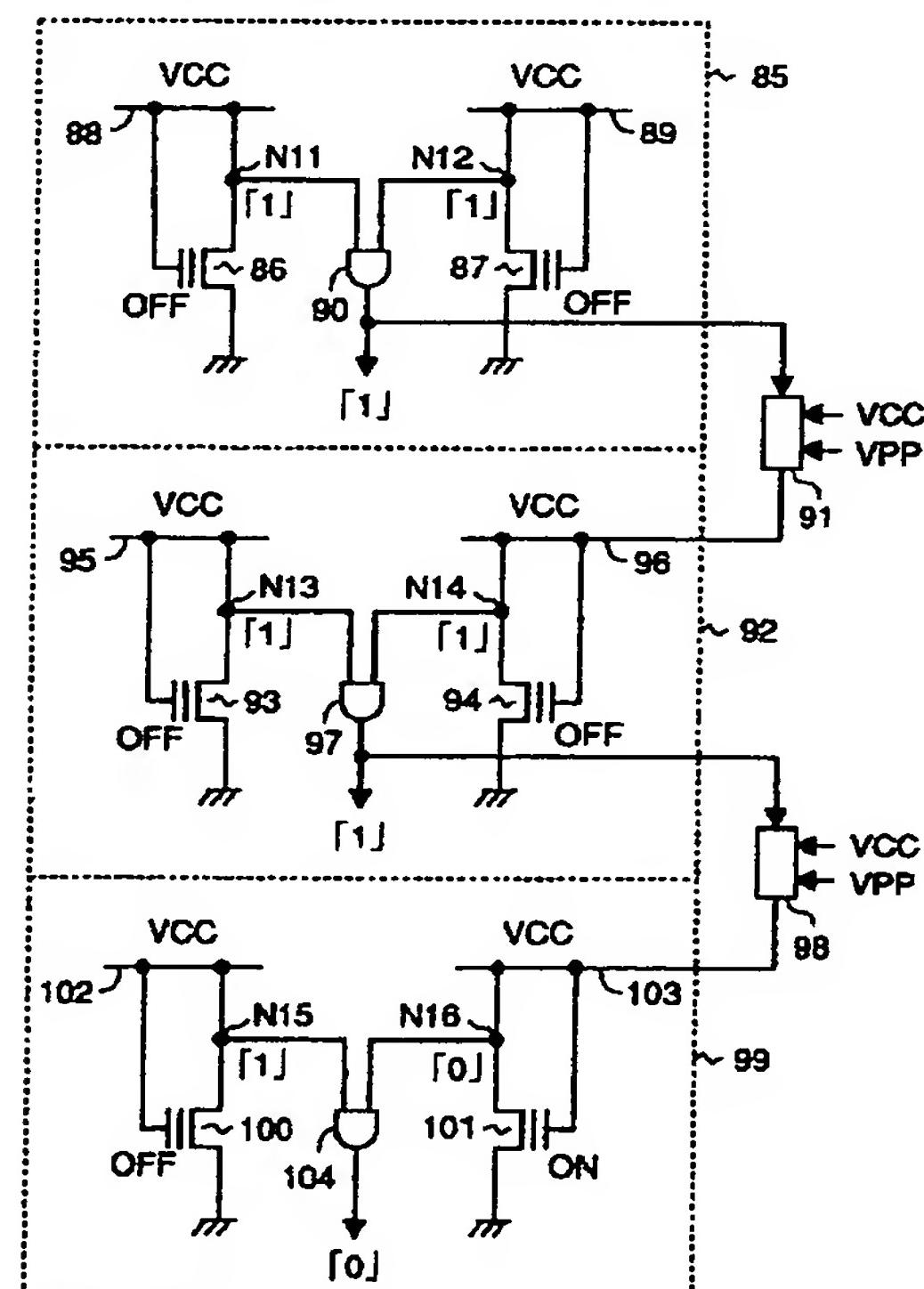
【図 3 3】

セクタ A 書換え状態表示フラグ 82 の動作を示す回路図



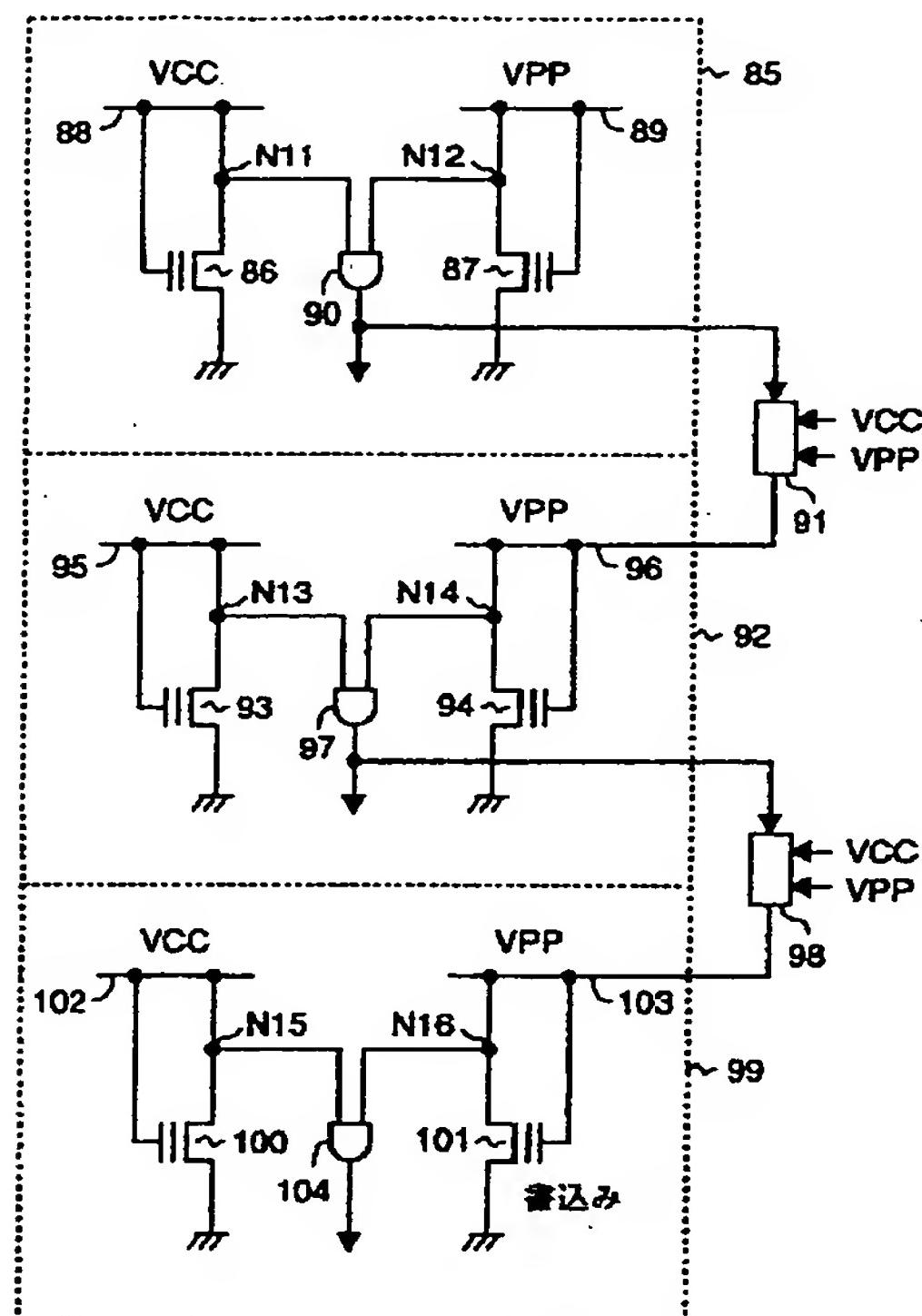
【図 3 4】

セクタ A 書換え状態表示フラグ 82 の動作を示す回路図



【四三五】

セクタA書換え状態表示フラグ82の動作を示す回路図



【四三六】

セクタA書き換え状態表示フラグ82の動作を示す回路図

